



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2022 00345

(22) Data de depozit: 16/06/2022

(41) Data publicării cererii:
29/12/2023 BOPI nr. 12/2023

(71) Solicitant:
• SILICON ACUITY S.R.L., STR.PANTAZICĂ
GABRIEL NR.69A, POPEȘTI-LEORDENI, IF,
RO

(72) Inventatori:
• BÎRĂ CĂLIN, STR.GRIGORE IONESCU
NR.65, BL.T72, SC.A, AP.19, BUCUREȘTI,
B, RO;
• HOBINCU RADU, STR.STOIAN MILITARU
NR.1-3, BL.7B, SC.2, ET.7, AP.65,
SECTOR 4, BUCUREȘTI, B, RO

(54) SISTEM DE PROCESARE VIDEO CU RECONFIGURARE
DINAMICĂ A ORDINII PROCESĂRILOR

(57) Rezumat:

Invenția se referă la un sistem de procesare video cu reconfigurare dinamică a ordinii procesărilor, cu aplicare în domeniul sistemelor electronice de procesare a semnalelor care trebuie să opereze sub constrângeri ce necesită realizarea unui compromis între două sau mai multe caracteristici ale sistemului, aflate în conflict, cum ar fi calitatea semnalului rezultat în urma procesării și durata procesării sau energia electrică consumată pentru procesare, și care sunt realizate folosind blocuri programabile de procesare, capabile să execute cod mașină stocat într-o memorie, și/sau blocuri reconfigurabile de procesare în care, în timpul funcționării, datele se mută între aceste blocuri de procesare și formează lanțuri virtuale de procesare de date. Sistemul conform invenției asigură manipularea dinamică a lanțurilor virtuale de procesare în funcție de criteriile statice sau dinamice calculate pe baza constrângerilor, această manipulare fiind făcută cu ajutorul a două componente: o rețea pe cip și un bloc de control al rețelei pe cip care poate decide care trebuie să fie sursa, destinația și punctele intermediare pentru diverse fluxuri de date, stabilind prin aceasta, noi lanțuri virtuale de procesare, în care rețeaua pe cip și blocul de control pot face parte din logica programabilă, din cea reconfigurabilă, din cea fixată pe siliciu sau orice combinație a celor trei.

Revendicări: 4
Figuri: 7

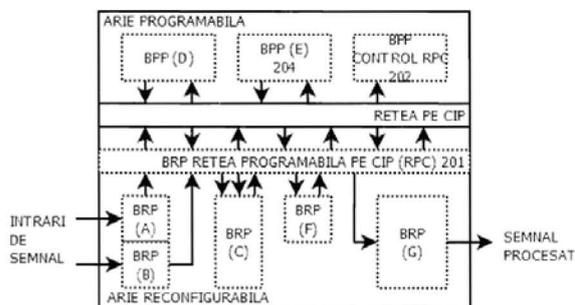


Fig. 2



OFICIUL DE STAT PENTRU INVENȚII ȘI MĂRCI
Cerere de brevet de invenție
Nr. <i>e 2022 00345</i>
Data depozit <i>16-06-2022</i>

RO 137859 A2

42

Descrierea Invenției

A) TITLUL: Sistem de procesare video cu reconfigurare dinamică a ordinii procesarilor

B) DOMENIUL TEHNIC: Sisteme electronice de procesare de semnal

C) STADIUL TEHNICII & PREZENTAREA PROBLEMEI TEHNICE:

Invenția aparține domeniului sistemelor electronice de procesare de semnal, incluzând sisteme de procesare de semnal vizual (posibil imagini, dar în principal video), sisteme de procesare de semnal acustic (de exemplu procesare de semnal vocal), sisteme de procesare radio, și altele. În mod particular, invenția se referă la astfel de sisteme de procesare de semnal ce trebuie să opereze sub constrângeri ce necesită realizarea unui compromis între două sau mai multe caracteristici în conflict ale sistemului, cum ar fi calitatea semnalului rezultat în urma procesării și durata procesării, sau energia electrică consumată pentru realizarea procesării, în cazul sistemelor care operează pe baterie sau în alte medii restricționate din punctul de vedere al energiei sau puterii electrice.

Aceste sisteme de procesare de semnal sunt realizate folosind procesoare de semnal digital (PDS). Anumite PDS sunt alcătuite dintr-o arie programabilă ce constă dintr-o multitudine de blocuri programabile de procesare (BPP), capabile de a executa cod masina stocat într-o memorie program. În alte realizări ale unui PDS, acesta poate conține de asemenea blocuri reconfigurabile de procesare (BRP), ce pot implementa funcții logice și aritmetice specificate prin scrierea unei memorii de configurație ce determină funcția unei arii reconfigurabile de tip FPGA. În ambele cazuri, procesările se aplică asupra unor operanți stocați în memoria de date sau generați anterior de alte blocuri de procesare. Transportul datelor între blocurile de procesare se realizează prin magistrale dedicate de transport în cadrul ariei reconfigurabile sau ariei programabile, și tipic folosind o rețea pe cip ce conectează aria reconfigurabilă de cea programabilă. Un astfel de sistem este descris în [Xilinx Inc., White Paper WP505: Versal The First Adaptive Compute Acceleration Platform (ACAP), 29 Septembrie 2020].

Un exemplu concret de astfel de semnal de procesare este un lant de captura, fuziune si codare de semnal video, ilustrat in Figura 1. Sistemul captureaza semnal video de la doua surse, fie in spectrul infrarosu fie in spectrul vizibil. Semnalul video de la fiecare intrare este procesat intr-un PDS format din arie programabila 101, arie reconfigurabila 102, si retea pe cip 103, intr-o secventa de pasi A - G (104-110), de catre diverse blocuri de procesare, unde fiecare bloc realizeaza un pas de procesare, care poate opera fie asupra unui singur flux video, fie asupra mai multor fluxuri, cum e cazul blocului C 106. Impreuna aceste blocuri de procesare formeaza un lant de procesare transferand date de la unul la celalalt fie direct atunci cand comunicarea este intre blocuri din aceesi arie, fie prin intermediul retelei pe cip. Odata construit, acest lant de procesare ruleaza in PDS conform configuratiei ilustrate indiferent de constrangeri externe, cum ar fi nivelul bateriei sau informatia prezenta in oricare din fluxurile video. Notam faptul ca nu este obligatoriu ca lantul de procesare sa utilizeze toate resursele sistemului PDS - in acest caz un BPP este neutilizat, cat si toata aria reconfigurabila ce nu este alocata unui BRP.

E) EXPUNEREA INVENTIEI:

In continuare se prezinta detaliat, in legatura cu figurile de la 2 la 5, principiile si realizarea inventiei si un exemplu de aplicare a sa constand in utilizarea metodei pentru optimizarea disiparii de putere electrica in timpul fuzionarii a doua fluxuri video (continuare in sectiunea H)

G) PREZENTAREA PE SCURT A FIGURILOR DIN DESENE

Fig. 2 prezinta o structura imbunatatita a lantului de procesare, propusa ca parte a acestei inventii

Fig. 3 reprezinta un exemplu de configurare a sistemului pentru implementarea unui lant particular de procesare

Fig. 4 prezinta modificarea lantului de procesare prin modificarea configuratiei retelei pe cip

Fig. 5 prezinta algoritmul de control automat a configuratiei lantului de procesare prin monitorizarea unor cantitati de interes in cadrul sistemului si in fluxurile de date dintre blocurile de procesare

H) PREZENTAREA IN DETALIU A UNUI MOD DE REALIZARE A INVENTIEI

Inventia se refera la un sistem de procesare bazat pe o constructie inovatoare a lantului de procesare prin interconectarea blocurilor de procesare folosind exclusiv retele pe cip, inclusiv atunci cand blocurile de procesare se afla in acelasi tip de arie (reconfigurabila sau programabila), ilustrat in Figura 2. Astfel, sistemului de referinta din Figura 1 i se adauga doua componente: un BRP ce implementeaza o retea pe cip (RPC) 201, si un bloc controlor al RPC (BC) 202. 201 prezinta interfete cu toate blocurile reconfigurabile de procesare, dar si o multitudine de interfete cu reseaua pe cip din aria programabila, astfel incat pot fi definite o multitudine de conexiuni virtuale intre oricare din blocurile de procesare din sistem.

O caracteristica importanta a 201 este ca acesta poate, sub indrumarea 202, sa realizeze conectarea oricareia din intrarile sale de semnal la oricare din iesirile sale de semnal. Realizand in acest fel interconectarea blocurilor prin 201, devine posibila reconfigurarea lantului de procesare in timpul rularii sistemului prin reprogramarea 201, eliminand sau adaugand blocuri in lantul de procesare in functie de nevoi. De asemenea, 201 poate copia secvente de date de lungime programabila de la oricare intrare de semnal catre iesirea de semnal corespunzatoare 202, prin urmare 202 poate citi date din oricare punct al lantului de procesare fara a afecta functionarea corecta a acestuia.

Figura 3 prezinta un exemplu de alcatuire a unui lant de procesare din blocuri programabile sau configurabile de procesare, prin configurarea potrivita a retelelor pe cip. Astfel, blocul de control configureaza reseaua de cip pentru a transmite date pe rutele 301-306 intre blocurile de procesare. De asemenea, blocul de control configureaza reseaua pe cip pentru a copia fluxurile de date 302 si 306 in fluxurile de date 307 si respectiv 308 ce permit blocului de control sa inspecteze aceste date. Lantul

de procesare poate fi modificat de catre blocul de control prin simpla reconfigurare a retelei pe cip, asa cum este ilustrat in Figura 4, unde prin modificarea fluxurilor de date, au fost eliminate din lantul de procesare functiile B si C, iar functiile E si F sunt implementate in ordine inversa. Blocul de control poate in continuare sa monitorizeze oricare din fluxurile de date, inclusiv fluxuri care nu mai fac parte din lantul de procesare, cum ar fi iesirea functiei B. Folosind aceleasi principii, orice lant de procesare poate fi manipulat de catre blocul de control.

Acest sistem este augmentat cu o metoda inovatoare de decizie automata asupra configuratiei optime a lantului de procesare, ca raspuns la constrangeri externe, cum ar fi de exemplu limitari energetice sau de disipare de putere. Figura 3 descrie metoda de decizie. Un algoritm de decizie ruleaza intr-un bloc de control (BC) programabil sau reconfigurabil si monitorizeaza nivelul unei cantitati de interes, ce este comparat cu unul sau mai multe praguri de actiune. Trecerea fiecaruia din pragurile de actiune duce la activarea de catre BC a unei strategii statice sau dinamice de degradare a capabilitatii lantului de procesare pentru a minimiza impactul asupra cantitatii de interes.

Strategiile statice, atunci cand sunt executate de catre BC, actioneaza imediat asupra lantului de procesare, modificandu-l intr-un mod pre-determinat astfel incat efortul computational sa fie redus. Strategiile dinamice sunt manifestate prin initierea unui proces de monitorizare de catre BC a unor puncte de interes in lantul de procesare, conform definitiei strategiei, pentru a identifica momente propice pentru a dezactiva pentru o perioada pre-determinata sau calculata dinamic, o parte din lantul de procesare. De exemplu, o strategie dinamica se poate manifesta prin monitorizarea unuia din mai multe fluxuri video de intrare intr-un lant de fuzionare video, si dezactivarea fluxului monitorizat atunci cand BC determina ca acesta nu contine suficienta informatie. Evaluarea cantitatii de informatie poate fi realizata prin algoritmi clasici sau prin retele neurale artificiale antrenate special pentru aceasta functie.

F) Prezentarea avantajelor invenției în raport cu stadiul tehnicii

Beneficiul invenției față de starea artei provine din posibilitatea de a modifica după nevoi puterea de calcul necesară pentru realizarea unei procesări de semnal, sacrificând calitatea semnalului rezultat. Dar fiind faptul că anumiți pași de procesare pot modifica rezoluția fluxurilor video sau pot fuziona mai multe fluxuri într-un singur flux, mutarea poziției unui bloc de procesare în lanțul de procesare modifică de asemenea efortul computațional necesar pentru realizarea procesării respective, prin urmare aria FPGA sau numărul de procesoare de semnal necesare pentru realizarea funcției, și puterea disipată pentru realizarea funcției.

De exemplu, o detecție de obiecte realizată pe un flux de date fuzionat din 2 fluxuri sursă este posibil mai puțin precisă decât o detecție de obiecte realizată pe fiecare flux în parte, dar este de 2 ori mai puțin costisitoare computațional. În același mod, o detecție de obiecte realizată pe un flux de date de rezoluție 1280x720 este de două ori mai puțin costisitoare decât detecția realizată pe un flux de date de rezoluție 1980x1080, dar acuratețea detecției obiectelor mici în imagine este afectată. Similar, inserția unui bloc de reducere a numărului de cadre pe secundă reduce efortul computațional al întregului lanț video ce urmează după blocul introdus cu un raport egal cu raportul dintre numărul inițial de cadre și numărul final de cadre pe secundă, dar reduce probabilitatea detecției obiectelor tranzitorii în fluxul de imagini.

Revendicari

1. Sistem de procesare de semnal alcatuit din blocuri programabile sau reconfigurabile de procesare, ce contine in structura sa o retea pe cip programabila si un bloc de control pentru aceasta retea pe cip, sistemul fiind caracterizat de faptul ca:

blocurile de procesare comunica intre ele prin intermediul retelei pe cip astfel incat ordinea in care se realizeaza procesarile, si blocurile implicate in procesare, depind de traseul pe care il urmeaza datele in retea pe cip, traseu ce este determinat de blocul de control, si

reteaua pe cip permite, la comanda blocului de control, copierea unei cantitati arbitrare de date, la intervale arbitrare de timp, de la o intrare de semnal a retelei pe cip aleasa arbitrar, catre blocul de control.

2. In contextul sistemului definit in Revendicarea 1, blocul de control executa periodic un algoritm de adaptare a structurii si capabilitatii lantului de procesare, prin intermediul reprogramarii retelei pe cip, astfel incat sa optimizeze unul sau mai multe metrici de interes pentru sistem.

3. Pentru determinarea actiunilor sale, blocul de control poate monitoriza datele din lantul de procesare, in puncte arbitrare, prin reconfigurarea retelei pe cip, si poate aplica algoritmi de procesare asupra datelor respective, algoritmi ce pot include retele neurale artificiale,

4. Blocul controlor si retea pe cip pot fi implementate ca functie dedicata in siliciu, functie reconfigurabila, program masina rulant intr-un procesor, sau orice combinatie a acestor metode.

Figuri/Desene

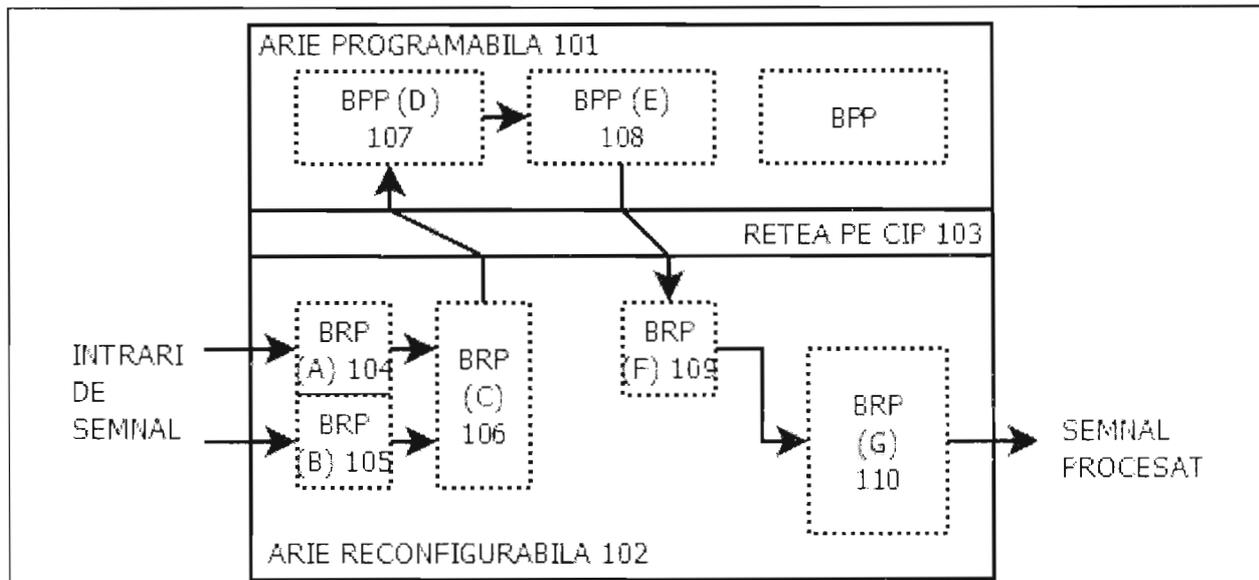


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip

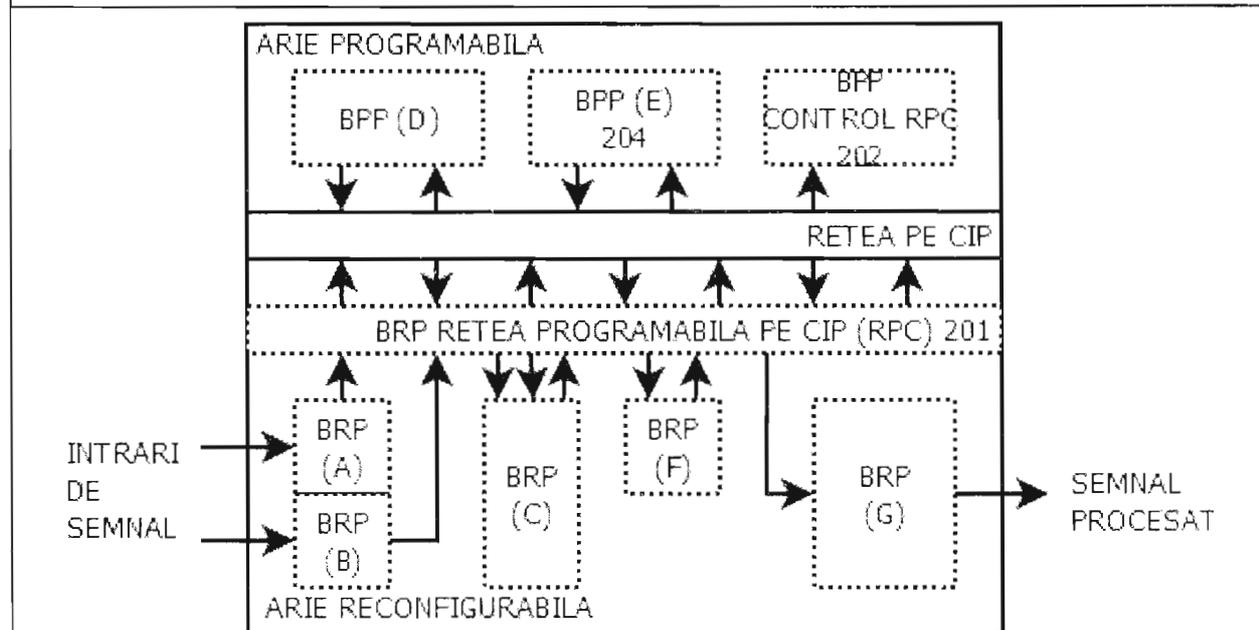


Figura 2: Lant de procesare modificat cu rutare de semnal exclusiv prin retele pe cip, controlate de un algoritim dedicat

35

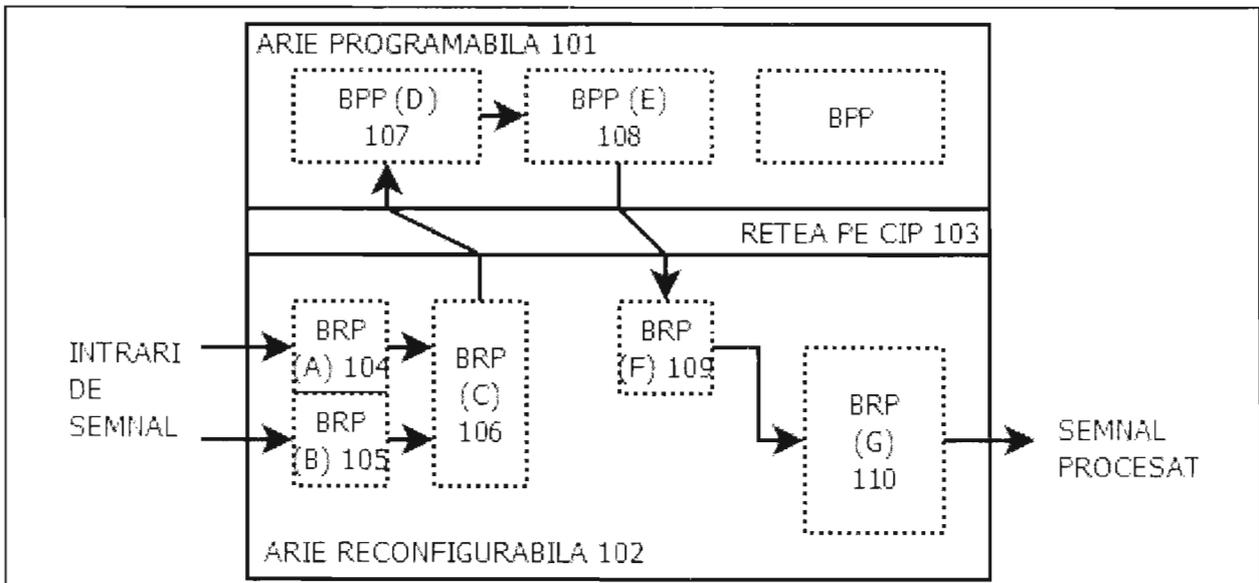
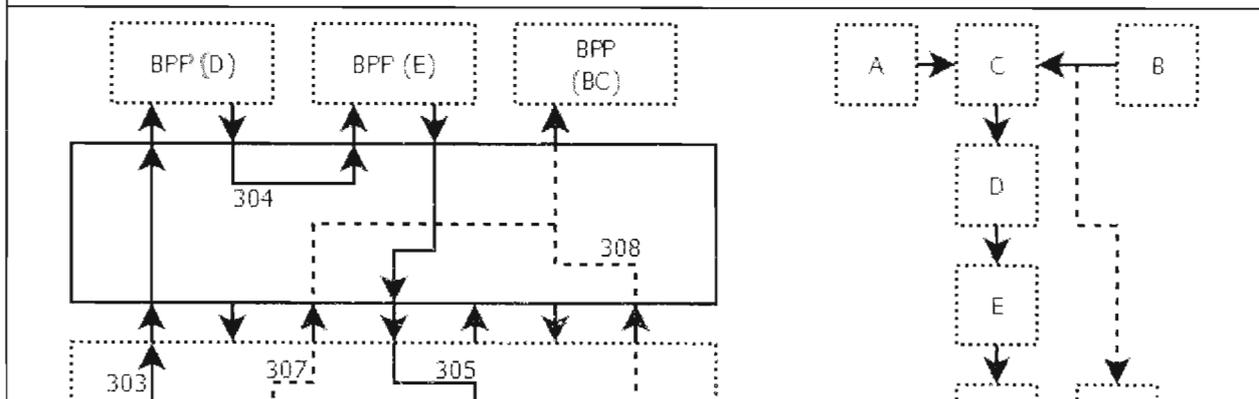
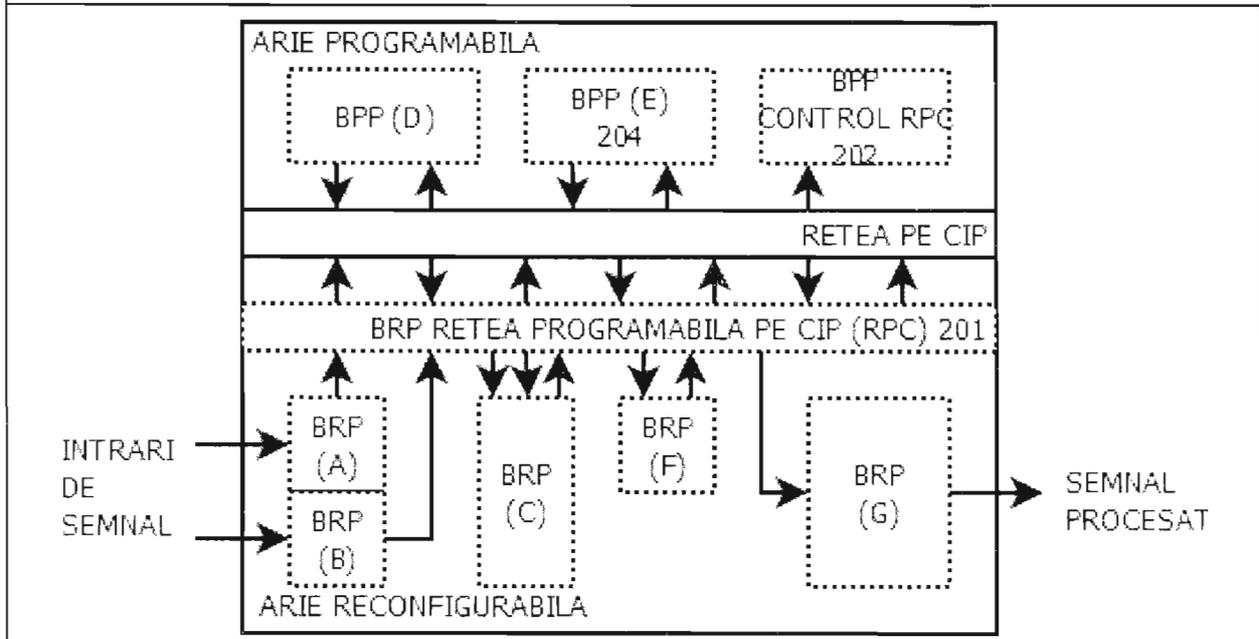


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip



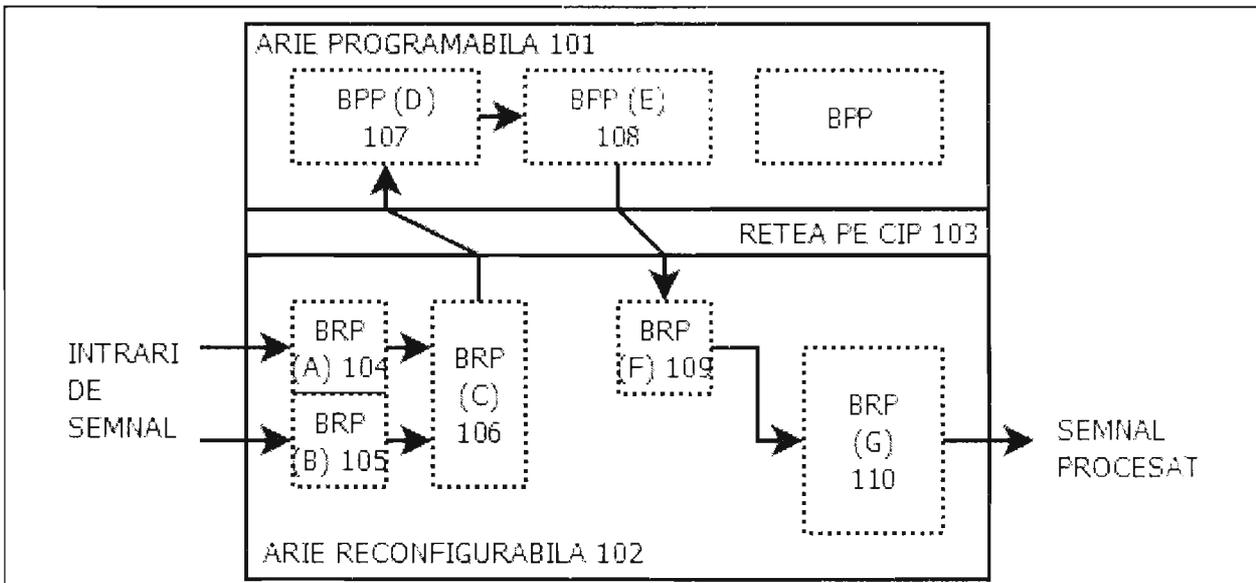


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip

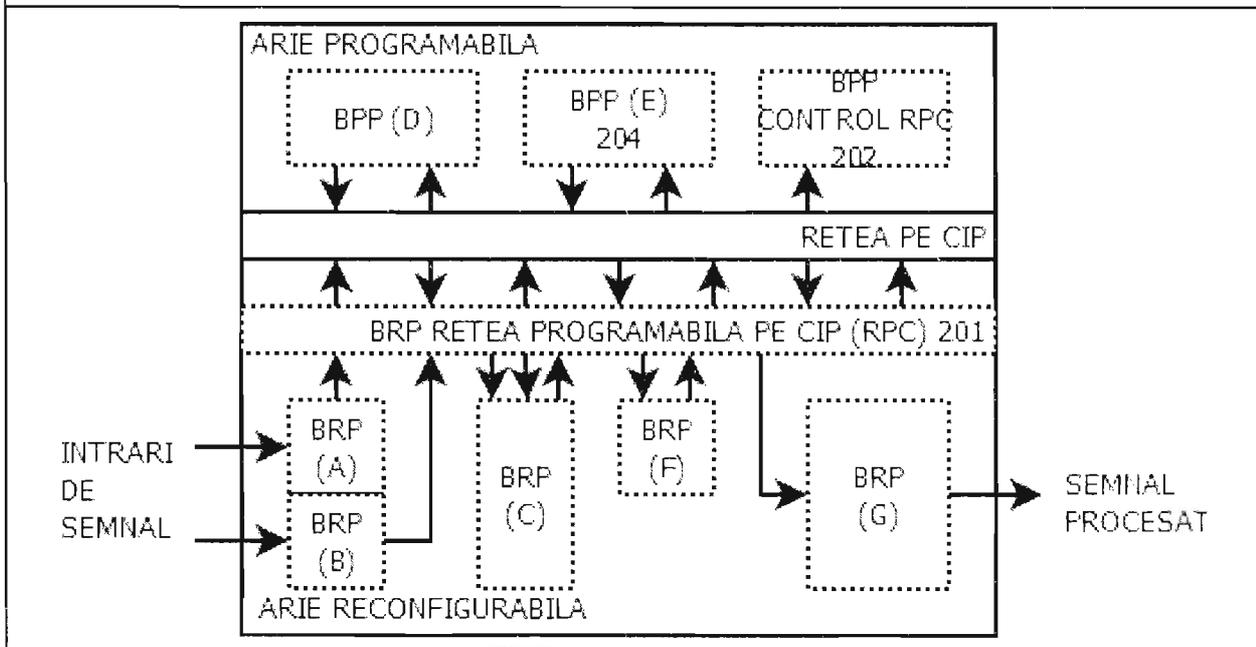


Figura 3: Exemplu de configurare a retelei pe cip pentru a alcatui un lant de procesare

33

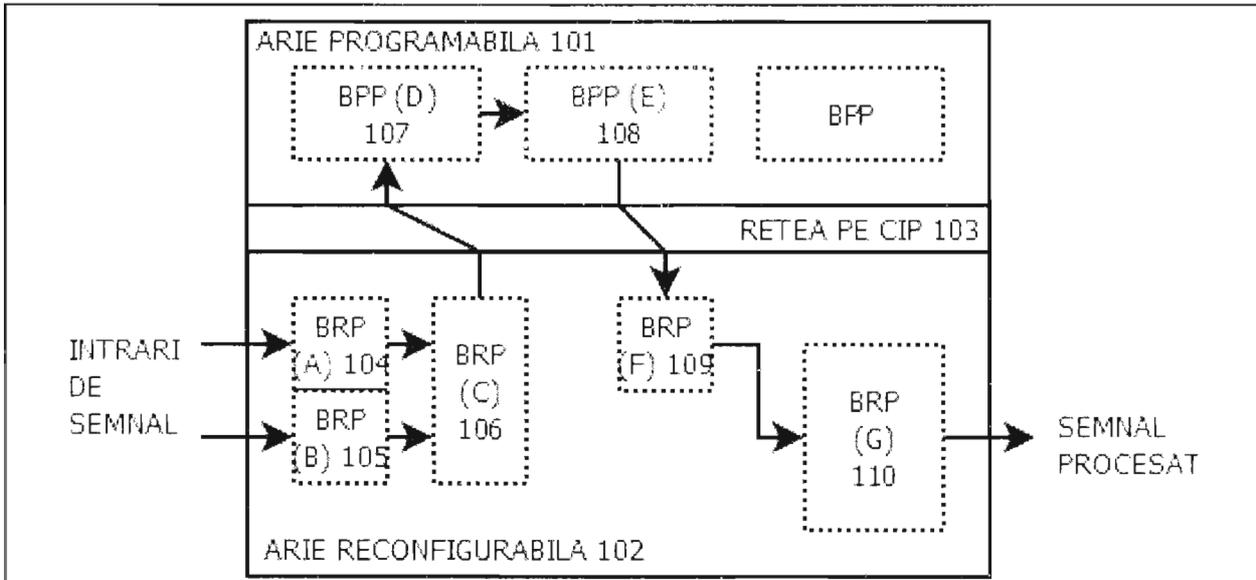
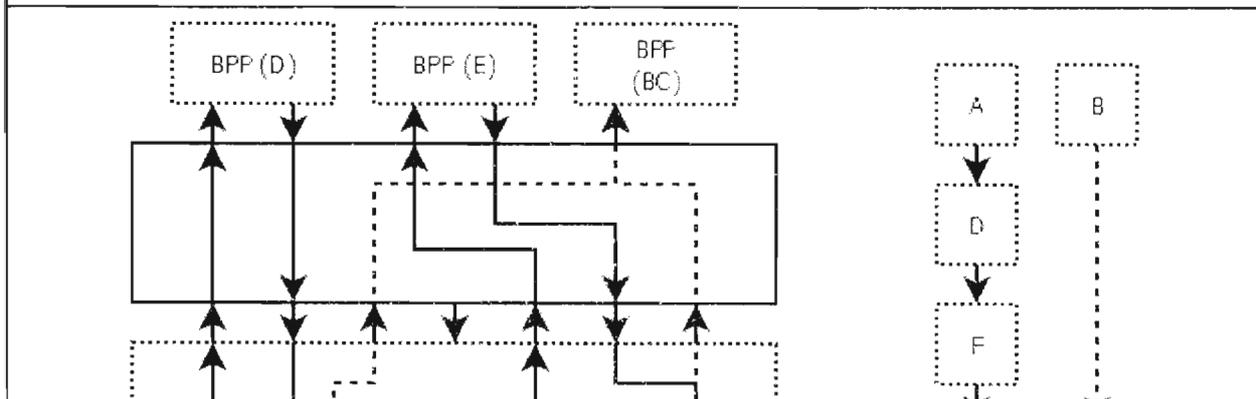
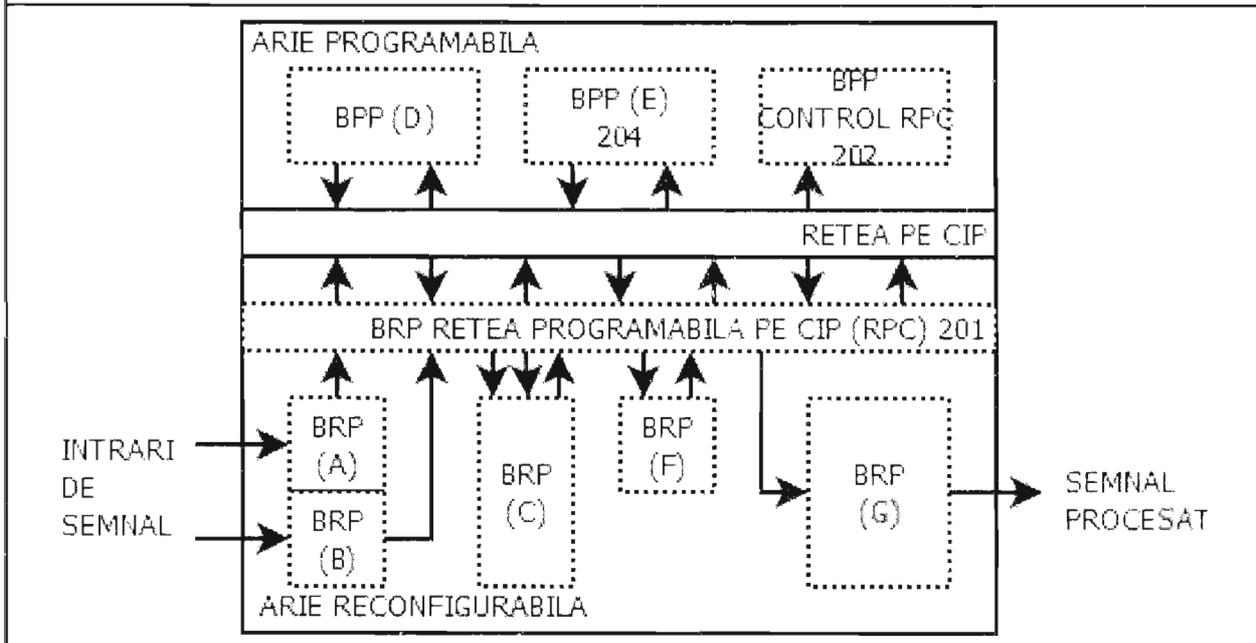


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip



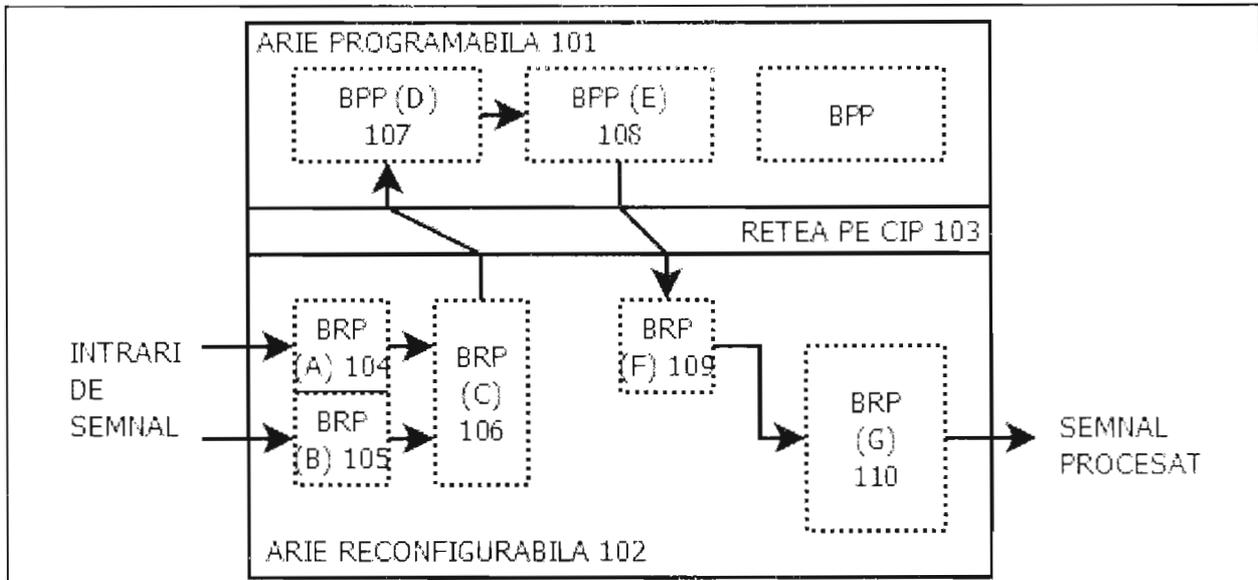


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip

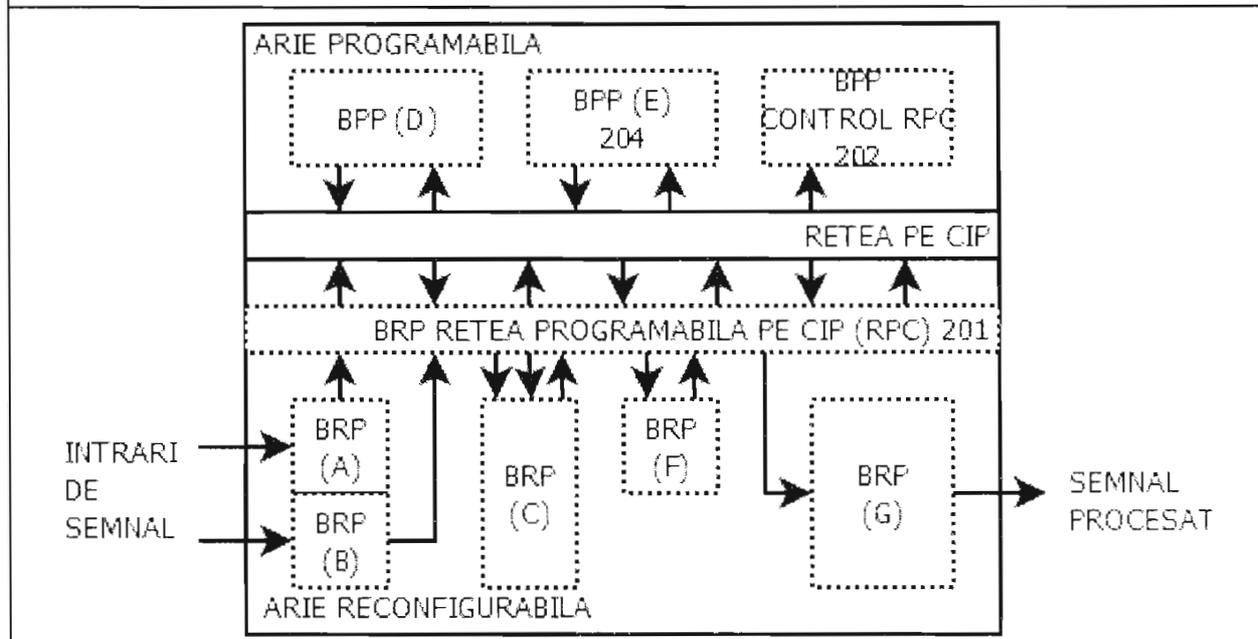


Figura 4: Exemplu de re-configurare a lantului de procesare prin modificarea configuratiei retelei pe cip

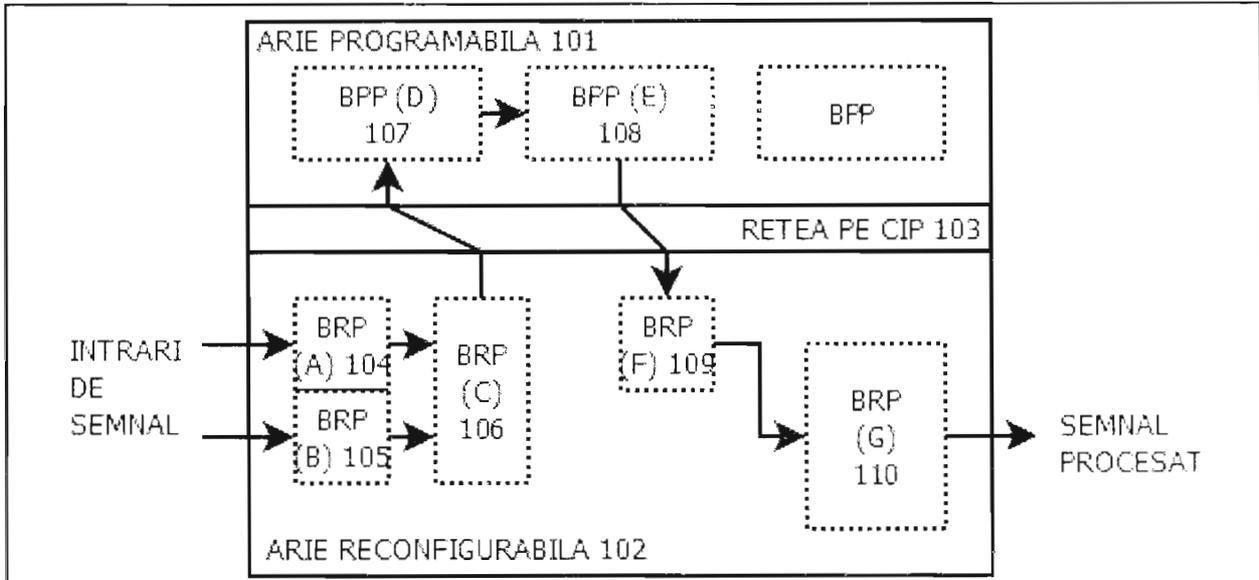
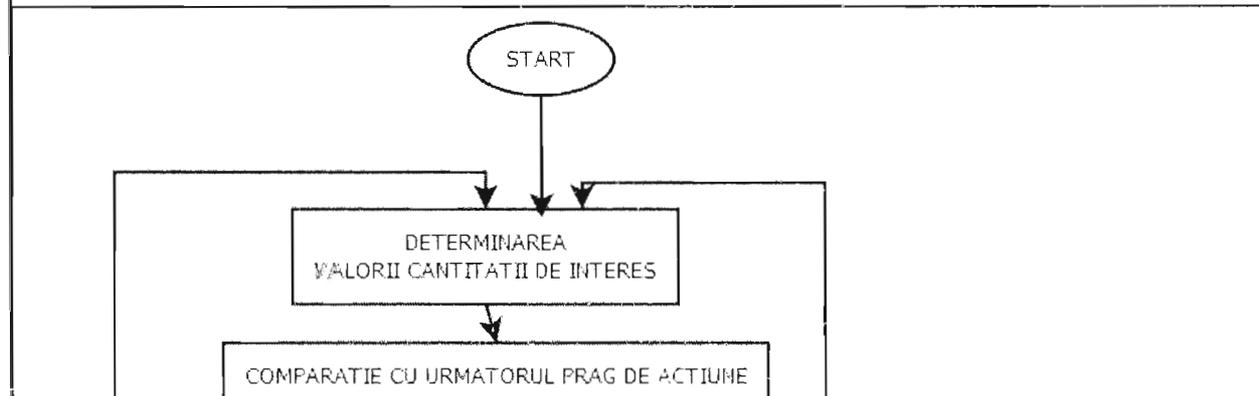
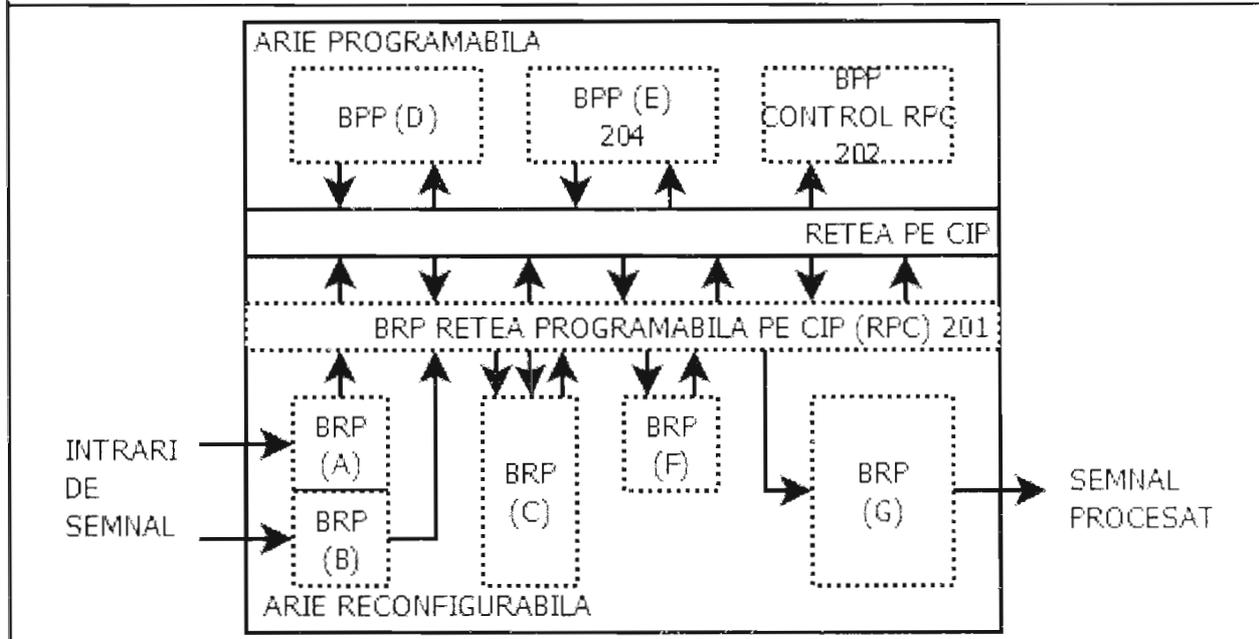


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip



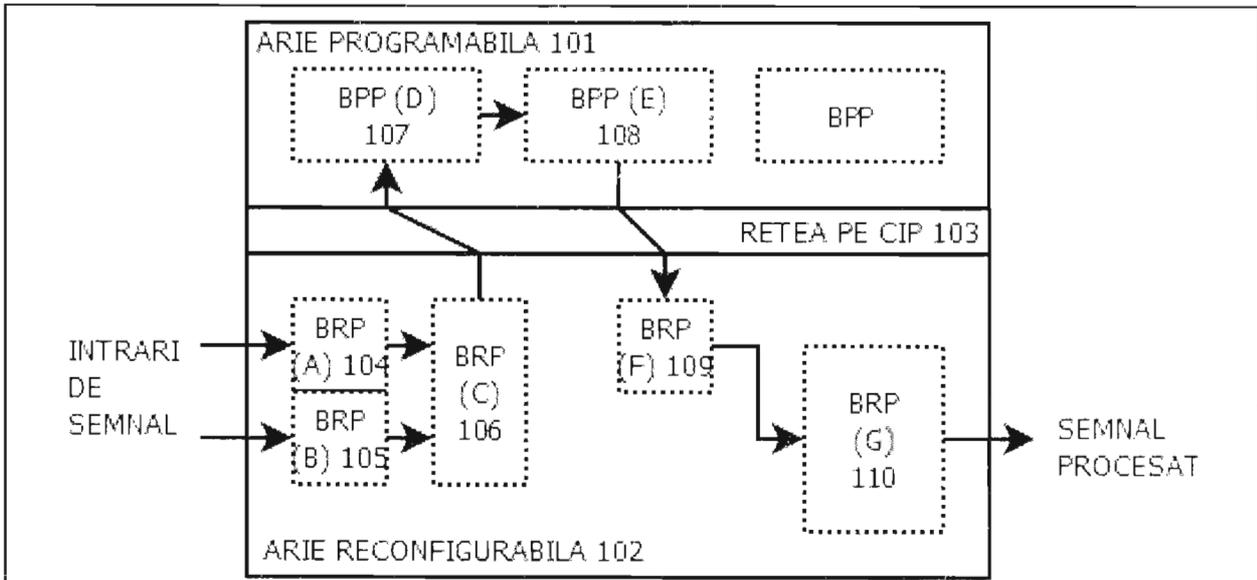


Figura 1: Lant de procesare de semnal implementat folosind un procesor de semnal digital cu arie programabila, arie reconfigurabila si retea pe cip

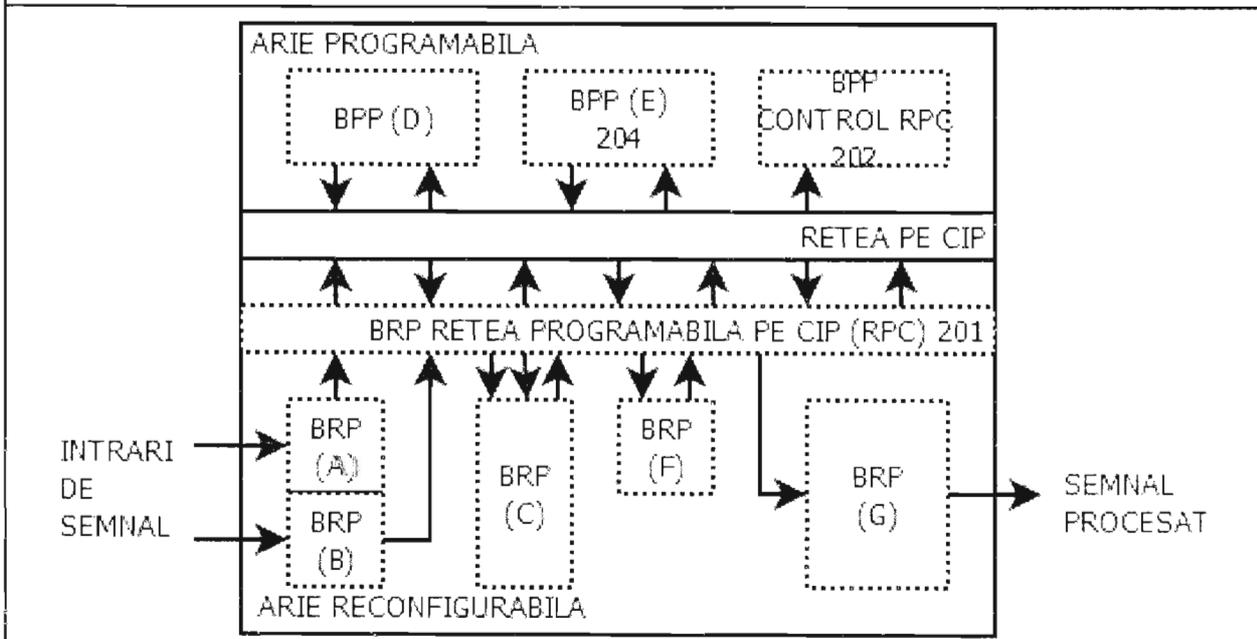


Figura 5: Algoritmul de control al reconfigurarii lantului de procesare