

(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2021 00796

(22) Data de depozit: 21/12/2021

(41) Data publicării cererii:  
29/07/2022 BOPI nr. 7/2022

(71) Solicitant:  
• INSTITUTUL NAȚIONAL DE CERCETARE  
DEZVOLTARE PENTRU TEHNOLOGII  
IZOTOPICE ȘI MOLECULARE INCDTIM,  
STR.DONAT, NR.67-103, POB 700,  
CLUJ NAPOCA, CJ, RO

(72) Inventatori:  
• SURDUCAN VASILE, STR.NUCULUI  
NR.8, CLUJ-NAPOCA, CJ, RO;  
• SURDUCAN EMANOIL,  
STR. GHEORGHE DIMA NR.10, AP.19,  
CLUJ-NAPOCA, CJ, RO

(54) COMUNICAȚIE ASINCRONĂ NEADRESABILĂ CU BLOCARE  
PENTRU GRUP DE SISTEME INTEGRATE SINCRONIZATE

(57) Rezumat:

Invenția se referă la comunicația asincronă, neadresabilă, cu blocare, pentru un grup de N noduri echipate cu microcontrolere (uC) care efectuează operațiuni cu semnale analogice sau echivalente, ce trebuie să fie achiziționate simultan. Conform invenției, un microcontroler supervisor (Si) controlează sincronizarea măsurării semnalelor analogice de către microcontrolerele (uC) din cele N noduri și trimite către acestea comenzi, pe o linie Tx, comenzi ce sunt recepționate simultan de toate cele N noduri, după care acestea răspund supervisorului (Si) transmitând fiecare, pe rând, câte un identificador al nodului și datele măsurate, printr-o comunicație asincronă cu parametri programabili, utilizând o linie Rx și un algoritm care blochează ieșirea nodurilor care nu transmit în stare de impedanță ridicată, controlul transmisiei fiecărui nod I, cu I=1...N, realizându-se de la nodul I-1, printr-un circuit separat de comandă, circuit conectat prin logică SAU, cablat cu linia Tx, astfel încât se utilizează aceleași circuite fizice pentru realizarea funcției de blocare a transmisiei nodului I și de transmisie a comenzilor către supervisor (Si).

Revendicări: 5  
Figuri: 5

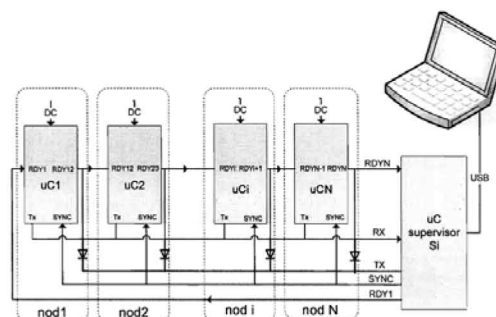
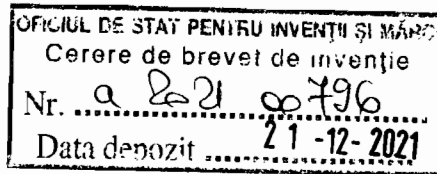


Fig. 1





## Comunicație asincronă neadresabilă cu blocare pentru grup de sisteme integrate sincronizate

Non-addressable blocking asynchronous communication  
for synchronized embedded systems

Invenția, "Comunicație asincronă neadresabilă cu blocare pentru grup de sisteme integrate sincronizate" este destinată transmiterii de date utilizând o linie de transmisie (Tx) respectiv o linie de recepție (Rx), în mod bidirecțional, între (N) noduri având rol de măsură a unor semnale (DC) analogice și un microcontroler supervizor (Si), fără a fi necesară adresarea individuală a nodurilor. Invenția este destinată oricărei aplicații care necesită măsurarea simultană a unor mărimi analogice (sau alte procese similare ce includ sincronizarea) astfel încât datele achiziționate și apoi transmise asincron microcontrolerului (Si) să reprezinte un bloc de informație achiziționată la un moment dat, ce poate fi transferată apoi unui alt calculator prin USB.

Conform standardului EIA RS232-C [1], [2] reprezentând stadiul anterior al tehnicii, interfața standardizată pentru comunicația asincronă este alcătuită din minim trei circuite: transmisie Tx, recepție Rx și masă electrică comună și permite o conexiune punct la punct între două echipamente. Pentru o comunicație adresabilă asincronă cu mai multe noduri se utilizează conversia RS232-RS485 [3] (cu două circuite de comunicație și/sau masă electrică) sau CAN bus, ambele utilizează transmisie în curent. Cea mai apropiată soluție tehnică din stadiul anterior al tehnicii, comparabilă cu soluția revendicată este prezentată în brevetul CN101577732A. Invenția prezentată în CN101577732A are scopul de a transmite simultan date într-o rețea cu un nod gazdă și o multitudine de noduri sclav, printr-o comunicație serială asincronă multi-nod. Legătura de comunicație cuprinde un prim cablu de comunicație (Rx, Tx și masă) și un al doilea cablu de comunicație (Rx, Tx și masă); în care terminalul de transmisie al nodului gazdă și terminalele de recepție ale fiecărui nod sclav sunt conectate la al doilea cablu de comunicație, terminalul de recepție al nodului gazdă respectiv terminalele de transmisie ale fiecărui nod sclav sunt conectate la primul cablu de comunicație.

## Bibliografie:

[1] EIA standard RS-232-C: Interface between Data Terminal Equipment and Data Communication Equipment Employing Serial Binary Data Interchange. Washington, USA: *Electronic Industries Association*, Engineering Department. 1969.”

[2] <https://hw-server.com/rs-232-overview-rs-232-standard>

[3] TIA-485 Revision A standard

**CN101577732A** Multi-node communication link and asynchronous serial communication method thereof

Comunicația serială asincronă clasică prezentă în stadiul anterior al tehnicii [1] , [2] este realizată între două dispozitive similare de calcul utilizând un cablu cu minim trei circuite fizice: o linie Tx, o linie Rx și o masă comună. Linia Tx a transmițătorului se conectează cu linia Rx a receptorului și vice-versa. Nivelele logice pot fi conform standardului EIA232 dar și TTL sau CMOS pentru distanțe mici. Comunicația RS232 este realizabilă doar punct la punct, adică poate avea loc doar între două dispozitive. Prezentul brevet realizează o comunicație serială asincronă între un microcontroler supervisor și un număr de N noduri ce conțin microcontrolere sclav folosind aceeași infrastructură cu trei linii (Tx, Rx, masă). Pentru acest tip de comunicație este nevoie în mod normal de un algoritm de adresare a fiecărui nod în parte și de evitare a apariției coliziunilor pe linia Rx comună, în momentul transmisiei datelor dinspre noduri înspre supervisor. Metoda cu adresare produce însă timpi morți în recepția datelor proveniți din necesitatea identificării adresei corespunzătoare unui nod de către toate nodurile din sistem. Pentru un număr mare de noduri ce transmit date, această întârziere poate depăși durata necesară transmiterii propriuzise a pachetului de date și astfel se poate pierde caracteristica de operare în timp real a întregului sistem.

Pentru eliminarea timpilor morți între transmisiile diverselor noduri, invenția de față (fig.1) se bazează pe sincronizarea RDY1 între supervisorul Si și nod1 pentru începerea transmisiei, respectiv pe sincronizările fiecărui nod de către nodul anterior (prin liniile RDY12, RDY23...RDY(N-1)N). Transmisia realizată este asincronă cu parametrii standardizați (viteza, bit de start, număr de biti, bit de stop, paritate) fiecare pachet conținând un preambul și date. Fiecare pachet transmis este decalat față de

următorul pachet printr-o întârziere minimă provenită din durata de execuție a rutinelor software din nod și a modulului USART (Universal Synchronous Asynchronous Receiver Transmitter) responsabile cu transmisia asincronă. Timpul total de comunicație asincronă al pachetului de date provenit din **N** noduri este cel mai mic posibil fiind suma timpilor necesari fiecărui nod pentru transmisie. Acești timpi pot să varieze în funcție de viteza de operare a nodului, temperatura ambiantă, etc. fără a influența însă calitatea transmisiei.

În raport cu stadiul anterior al tehnicii, invenția de față (fig.1) permite obținerea unei comunicații asincrone, neadresabile, bidirecționale half-duplex, cu timpi de întârziere minimi în formarea pachetului de date, între **N** noduri și un microcontroler supervisor **Si**, cu o linie **Rx** comună tuturor nodurilor și câte o linie de sincronizare **RDY** între fiecare două noduri adiacente și cu toate liniile **RDY** conectate într-o logică SAU cablat ce formează împreună linia de comunicație **Tx**. Primul nod (**nod1**) primește un semnal de demarare a transmisiei (**RDY1**) de la microcontrolerul supervisor (**Si**) iar ultimul nod (**nodN**) transmite un semnal de finalizare a transmisiei (**RDYN**) către microcontrolerul supervisor **Si**. Această organizare asigură o comunicație a întregului pachet de date mai scurtă și mai compactă decât varianta sa adresabilă, permițând operarea sistemului la viteză ridicată în timp real.

În concluzie, soluția tehnică așa cum este revendicată, se referă la :

- (1) O comunicație asincronă neadresabilă, cu blocare, dintre nodurile **nod1...nodN** și un sistem integrat (**Si**) supervisor utilizând infrastructura hardware corespunzătoare acestuia.
- (2) O soluție ce permite utilizarea aceluiași pini aparținând microcontrolerelor (**uC1...uCN**) din nodurile **nod1...nodN** atât pentru sincronizarea demarării comunicației cât și pentru recepția comenzilor (controlul câștigului ADC) sau datelor de la sistemul integrat (**Si**) coordonator, realizată printr-un circuit de tip SAU logic.
- (3) Un algoritm ce permite recepția simultană în toate nodurile **nod1...nodN** de la sistemul integrat (**Si**) coordonator a octeților reprezentând comenzi sau date, urmat de sincronizarea conversiei analog-digitale a tuturor nodurilor **nod1...nodN** și de demararea transmisiei datelor, pe rând, de către fiecare nod (**nod1...nodN**) simultan

cu blocarea tuturor celorlalte noduri care momentan nu transmit, prin trecerea ieșirii lor conectate pe o linie **Rx** în stare de impedanță ridicată (HZ).

- (4) O soluție ce permite modificarea duratei de transmisie a pachetului de date format de către **nod1...nodN** prin corelarea vitezei de transmisie asincrone cu numărul de noduri (**N**) și a duratei impulsului de sincronizare destinat deblocării nodurilor.
- (5) O structură versatilă a datelor transmise de fiecare nod (**nod1...nodN**) care cuprinde unul sau doi octeți de identificare a nodului și un număr variabil de octeți de date, pachet a cărui organizare se corelează cu durata maximă de timp ce poate fi alocată transmisiei.

Fig.1 reprezintă schema bloc a structurii hardware a ansamblului de comunicație

Fig.2 reprezintă organigrama logică minimală de funcționare a nodului

Fig.3 reprezintă diagrama semnalelor logice esențiale ale comunicației

Fig.4 reprezintă un exemplu de realizare hardware cu 8 noduri de comunicație: schema de conexiuni

Fig.5 reprezintă semnalele logice esențiale capturate de analizorul logic pentru exemplul de realizare

Infrastructura de comunicație este evidențiată în fig.1. Nodurile **nod1...nodN** conțin fiecare câte un microcontroler **uC1...uCN**. Nodurile sunt comandate de microcontrolerul supervisor **Si** prin semnalul **SYNC** destinat sincronizării măsurării analogice prin ADC-ul intern al **uC1...uCN**, respectiv **RDY1** destinat demarării transmisiei datelor dinspre noduri înspre **Si** pe linia **Rx**. Fiecare nod este conectat cu nodurile adiacente prin liniile corespunzătoare **RDY12, RDY23... RDY(N-1)N** cu dublă destinație: transmit pulsul de deblocare spre nodul care transmite date respectiv formează linia **Tx** pe care nodurile primesc date de la **Si**. Toate nodurile aflate în stare de așteptare au ieșirile conectate la linia **Rx** menținute în stare de impedanță ridicată. Nodul **nodN** este conectat cu **Si** prin **RDYN**, linie prin care se informează **Si** că ultimul nod a trimis datele. Liniile **RDY12, RDY23... RDY(N-1)N** sunt conectate în logică SAU cablat și formează linia **Tx** prin care **Si** poate transmite o comandă/dată simultan spre toate nodurile **nod1...nodN** (de exemplu setarea câștigului ADC). Fiecărui **nod i** se poate atribui ca și identificator o constantă (un număr de la 1 la **N**). Această identificator este transmis ca și preambul înaintea datelor propriuzise pentru a facilita o ușoară recunoaștere a datelor ce provin

de la orice nod  $i$  în pachetul complet de date provenit de la toate nodurile  $nod1...nodN$ . Microcontrolerul **Si** supervizează întregul ciclu de: încărcare al nodurilor cu comanda/data comună, sincronizare **SYNC**, demarare transmisie **RDY1**, finalizare transmisie **RDYN**, respectiv recepție a pachetului de date transmis de noduri. Fig.3 prezintă structura pachetului de date (**PACK**) alcătuit pentru fiecare nod dintr-un preambul (**PRE**) respectiv o dată (**DATA**), corelată cu semnalele de blocare dintre noduri (**RDY12...RDY78**), impulsurile de demarare a transmisie (**RDY1**), respectiv de finalizare a comunicației (**RDYN**).

Exemplul de realizare din fig.4 prezintă comunicația asincronă descrisă în prezentul brevet pentru un sistem hardware alcătuit dintr-un microcontroler supervisor (**Si**) și opt noduri  $nod1...nod8$ , echipate cu microcontrolere  $uC1...uC8$ . Liniile de comunicație sunt **Tx** pentru recepția datelor/comenzilor de către microcontrolere  $uC1...uC8$  respectiv **Rx** pentru transmiterea pachetelor de date spre supervisorul **Si**. Sincronizările dintre noduri sunt realizate pe liniile **RDY12, RDY23...RDY78**. **RDY1** realizează sincronizarea transmisiei nodului  $nod1/uC1$  prin comanda de la supervisorul **Si**. **RDYN** semnalizează supervisorului **Si** ca nodul  $nod8/uC8$  a finalizat transmiterea pachetului de date. În fig.5 trasa D0 reprezintă pachetul de date al celor 8 noduri la o viteză de comunicație asincronă de 230400bps 8N1, cu datele corespunzătoare nodului  $nod1/uC1$  (din fig.4) grupate în stânga respectiv datele corespunzătoare nodului  $nod8/uC8$  în dreapta imaginii. Trasele D1-D8 reprezintă impulsurile de sincronizare pe liniile **RDY12...RDY78** iar trasa D9 impulsul de sincronizare pe linia **RDY1**. Toate impulsurile de sincronizare sunt active pe front descrescător.

## Revendicări

1. Comunicație asincronă neadresabilă, cu blocare, pentru grup de sisteme integrate sincronizate **caracterizată prin aceea că:** este destinată unui sistem de (N) noduri de măsură a unor semnale analogice sau pentru o acțiune echivalentă și comunicație, echipate cu microcontrolere (uC) situate la mică distanță unul de altul, care sunt sincronizate pe o linie separată de sincronizare (SYNC) respectiv comunică bidirecțional, half-duplex, cu un microcontroler (Si) supervisor ce poate înscrie simultan comenzi în cele (N) noduri pe o linie de comunicație (Tx) și poate recepționa secvențial date transmise de toate cele (N) noduri pe o altă linie de comunicație (Rx), astfel încât pentru a transmite datele, **nod1** blochează **nod2** adiacent pe o linie (RDY12), **nod2** blochează **nod3** adiacent pe o linie (RDY23), șamd, astfel încât toate nodurile care au transmis respectiv nodurile care așteaptă să transmită sunt blocate și numai un singur nod transmite pachetul său de date la un moment dat.
2. Comunicație asincronă neadresabilă, cu blocare, pentru grup de sisteme integrate sincronizate conform cu revendicarea 1 **caracterizată prin aceea că:** linia de comunicație (Tx) dintre (Si) și nodurile (N) se formează extern prin logică SAU cablată cu toate liniile (RDY12, RDY23...RDY(N-1)N) situate între nodurile adiacente, cele două funcții, Tx și blocare prin RDY12, RDY23...RDY(N-1)N, nefiind simultane.
3. Comunicație asincronă neadresabilă, cu blocare, pentru grup de sisteme integrate sincronizate conform cu revendicările 1 și 2 **caracterizată prin aceea că:** după alimentarea sistemului, toate nodurile (nod1...nodN) așteaptă recepționarea unui set de comenzi sau date pe linia (Tx), iar apoi a semnalului (SYNC) de sincronizare a măsurării analogice sau a acțiunii echivalente, respectiv a semnalului (RDY1) pentru demararea transmisiei datelor, după care nodurile (nod1...nodN) transmit datele pe rând spre (Si) în ordinea cablării circuitelor de la 1 la N, iar ultimul nod (nodN) avertizează (Si) pe o altă linie (RDYN) că toate nodurile au finalizat transmisia datelor.
4. Comunicație asincronă neadresabilă, cu blocare, pentru grup de sisteme integrate sincronizate conform cu revendicările 1, 2 și 3 **caracterizată prin aceea că:** durata de transmisie a pachetului de date format depinde de numărul de noduri (N), de viteza

comunicației asincrone standardizată aleasă și de durata impulsurilor de blocare (**RDY12, RDY23, RDY(N-1)N**) a transmisiei dintre nodurile adiacente.

5. Comunicație asincronă neadresabilă, cu blocare, pentru grup de sisteme integrate sincronizate conform cu revendicările 1, 2, 3 și 4 **caracterizată prin aceea că:** fiecare nod (**nod1...nodN**) transmite un pachet de date alcătuit dintr-o constantă care identifică numărul nodului (**PRE**) și o variabilă (**DATA**) obținută prin măsurarea unui semnal analogic sau printr-o acțiune echivalentă, datele fiind împachetate sau neîmpachetate în octeții transmiși în funcție de numărul de noduri și durata maximă admisă a comunicației întregului pachet de date.



32

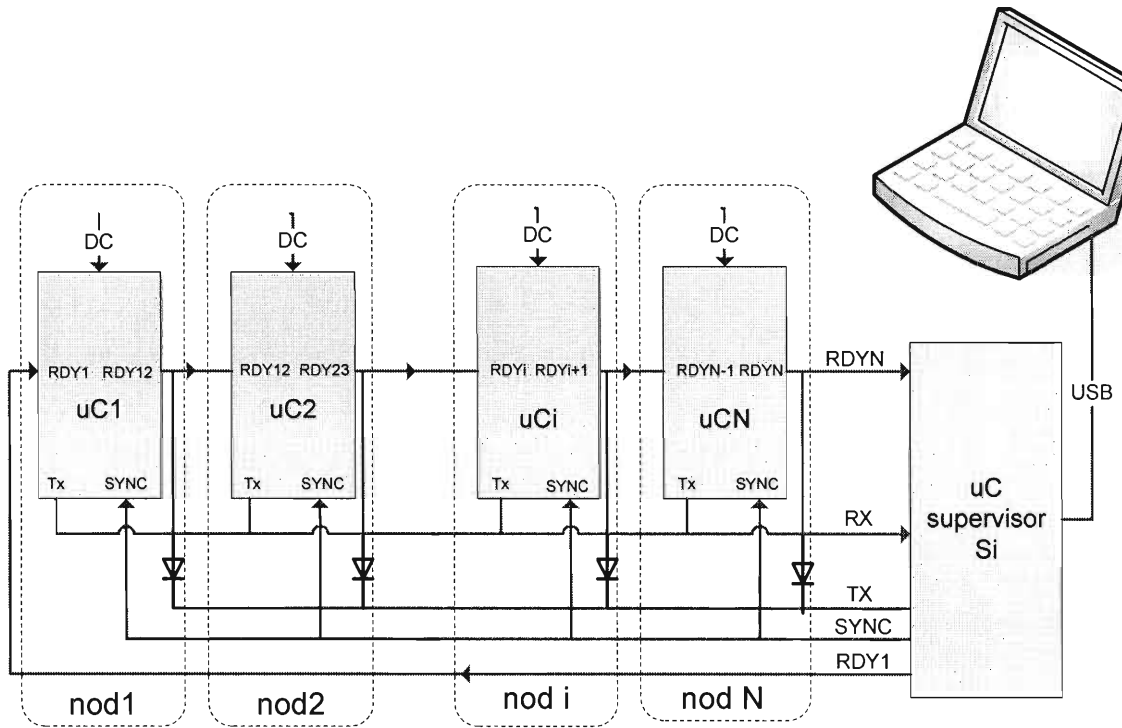


Fig.1 Schema bloc a ansamblului de comunicație

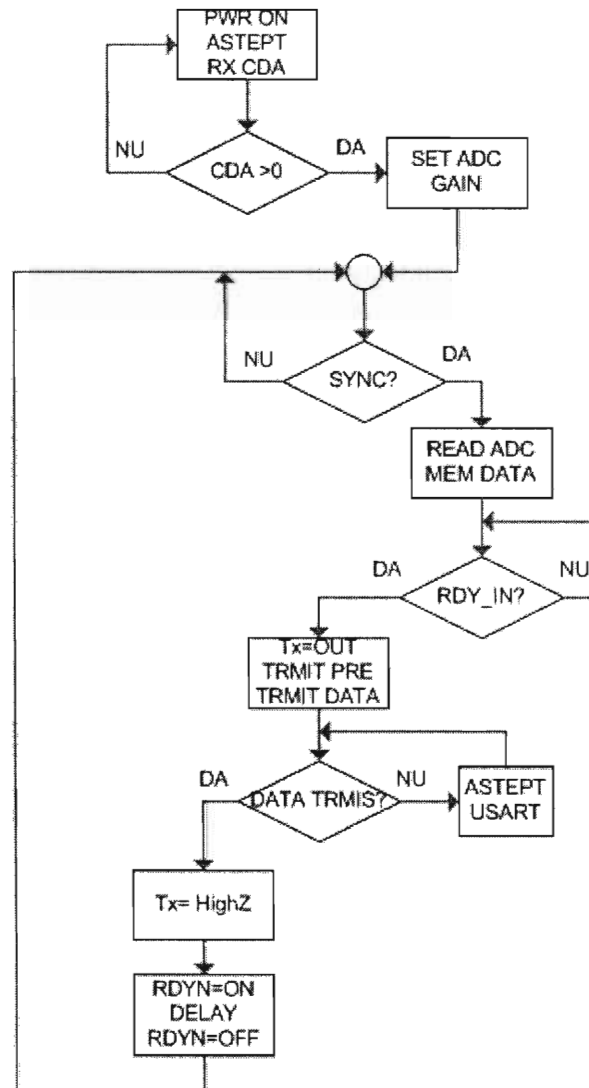
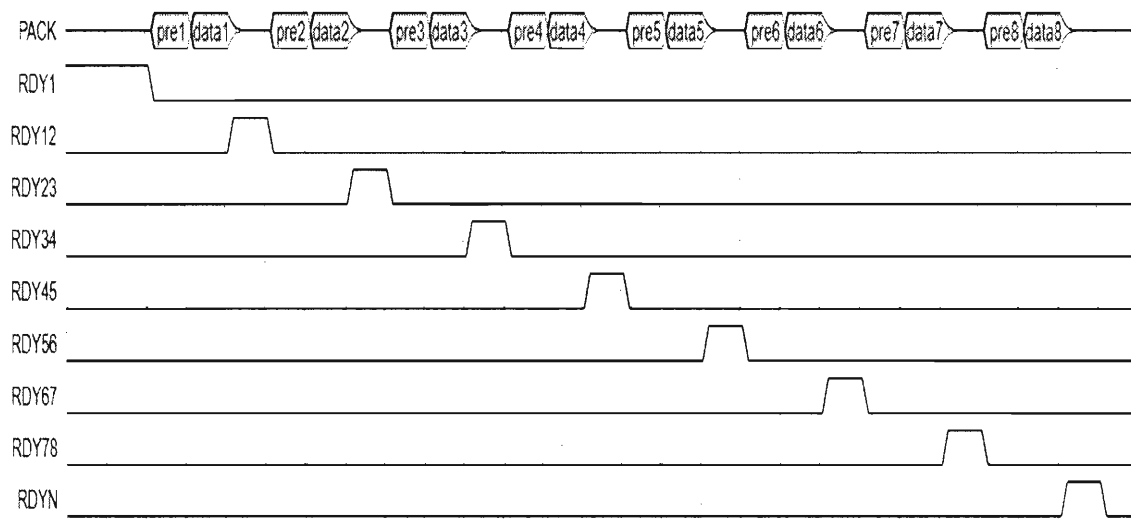


Fig.2 Organigrama logică minimală de funcționare a nodului



**Fig.3** Diagrama semnalelor logice esențiale

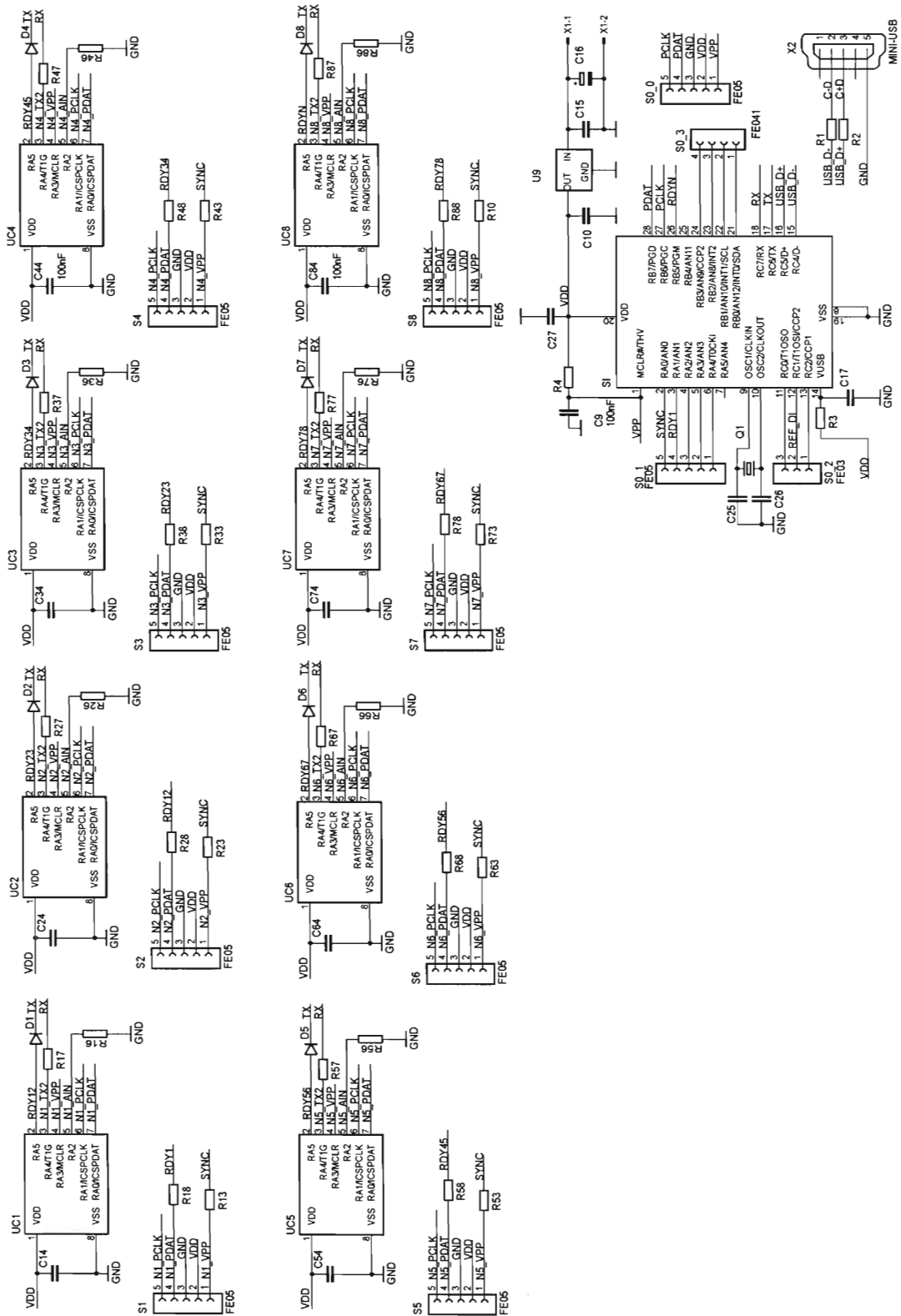


Fig.4 Exemplu de realizare hardware cu 8 noduri de comunicare

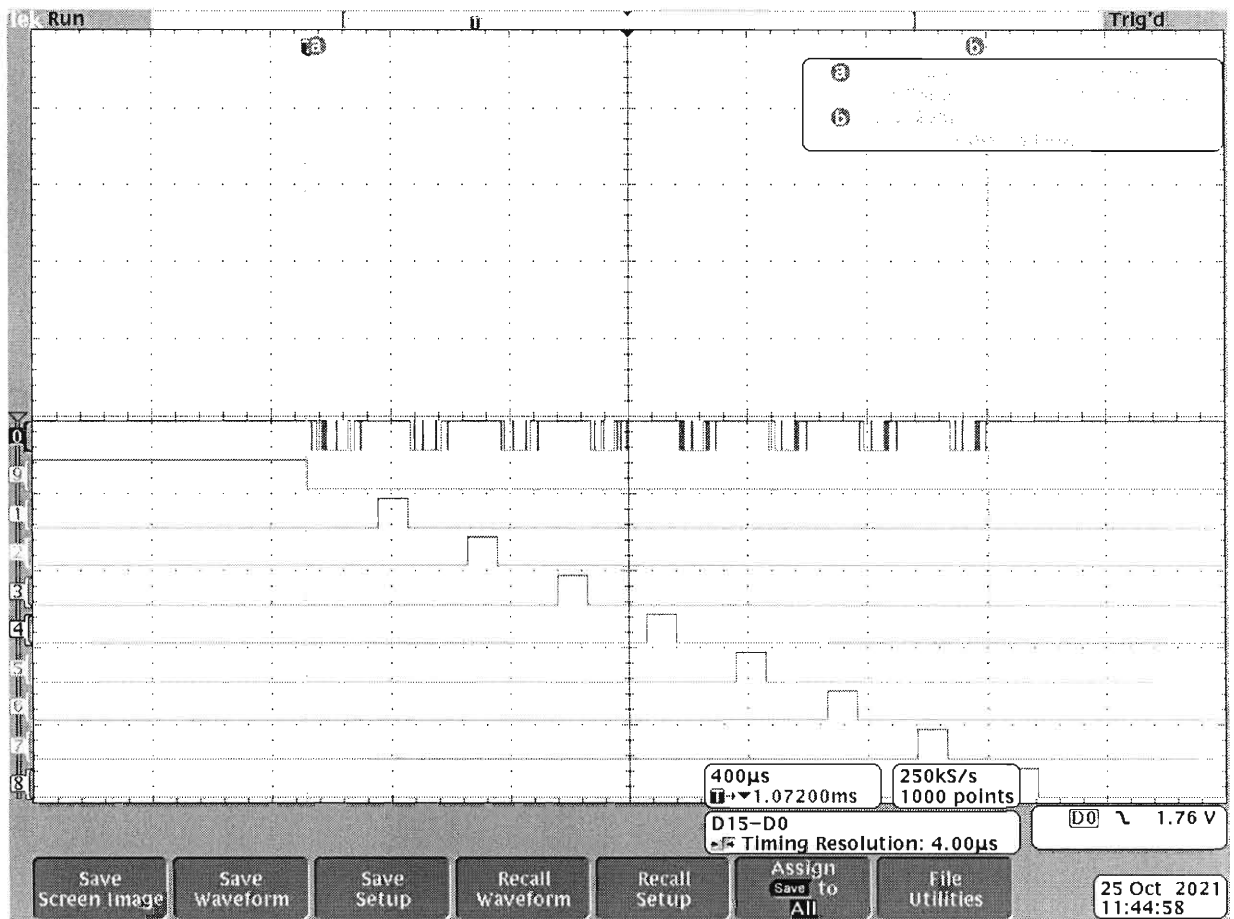


Fig.5 Semnalele logice din exemplul de realizare capturate cu analizorul logic