



(12)

BREVET DE INVENȚIE

(21) Nr. cerere: **a 2019 00838**

(22) Data de depozit: **03/12/2019**

(45) Data publicării mențiunii acordării brevetului: **28/10/2022** BOPI nr. **10/2022**

(41) Data publicării cererii:
27/11/2020 BOPI nr. **11/2020**

(73) Titular:
• **UNIVERSITATEA TEHNICĂ DIN
CLUJ-NAPOCA, STR.MEMORANDUMULUI
NR.28, CLUJ-NAPOCA, CJ, RO;**
• **UNIVERSITATEA "POLITEHNICA" DIN
TIMIȘOARA, PIAȚA VICTORIEI NR.2,
TIMIȘOARA, TM, RO**

(72) Inventatori:
• **LENDEK ZSOFIA, STR.ALBAC, NR.8,
AP.7, CLUJ - NAPOCA, CJ, RO;**
• **AMĂRICĂI - BONCALO ALEXANDRU,
STR.REGIMENT 13 CĂLĂRAȘI, NR.10,
AP.4, TIMIȘOARA, TM, RO;**

• **AMĂRICĂI - BONCALO OANA,
STR.REGIMENT 13 CĂLĂRAȘI, NR.10,
AP.4, TIMIȘOARA, RO**

(74) Mandatar:
**CABINET DE PROPRIETATE
INDUSTRIALĂ CIUPAN CORNEL,
STR. MESTECENILOR NR. 6, BL. 9E, SC.1,
AP. 2, CLUJ NAPOCA, CJ**

(56) Documente din stadiul tehnicii:
**McMURTREY D. MORGAN K. Ș.A., "USING
DUPLICATION WITH COMPARE FOR
ON-LINE ERROR DETECTION IN
FRGA-BASED DESIGNS", 2007;
US 7047440; US 2014181587**

(54) **METODĂ ȘI SISTEM PENTRU ATENUAREA ERORILOR
CARE APAR ÎN UNITĂȚILE DE PROCESARE A DATELOR
IMPLEMENTATE CU CIRCUITE DIGITALE**



RO 134587 B1

1 Invenția se referă la o metodă de atenuare a erorilor probabilistice care apar în imple-
mentări de circuite integrate digitale pe căi de date care folosesc operații de adunare,
3 înmulțire și acumulare folosite în sisteme de calcul și la un sistem pentru aplicarea acestei
metode. Metoda poate fi folosită și numai în scopul detectării defectelor, fără atenuarea lor.

5 Este cunoscută invenția **WO 2019207855 (A1)** care prezintă un sistem și o metodă
de diagnosticare de defecțiuni cu ajutorul căreia un indicator de eroare poate fi diagnosticat
7 mai precis. Sistemul de diagnosticare a erorilor necesită un tabel de date cu funcționarea
senzorilor care indică o asociere între datele senzorului și timpul de achiziție a datelor
9 senzorului; un tabel de date privind modul de operare care indică o asociere între un mod
de operare și un timp de funcționare în modul de operare; și un tabel de date de operare
11 creată prin procesarea tabelului de date al funcționării senzorului și a tabelului de date
privind modul de operare și care cuprinde datele senzorului cu privire la modul de operare
13 la un moment dat. Sistemul compară, într-un anumit mod de funcționare, un prag determinat
pe baza unui model de diagnostic creat prin învățarea de la datele normale ale senzorului
15 cu o valoare calculată pe baza modelului de diagnostic din datele senzorului care urmează
să fie diagnosticate și stabilește dacă apare o defecțiune.

17 Sistemul și metoda descrise în brevetul **WO 2019207855 (A1)** prezintă mai multe
dezavantaje, cel mai important fiind acela că necesită o multitudine de informații prealabile
19 referitoare la senzorii folosiți, respectiv la modul de funcționare.

21 Se cunosc mai multe invenții care asigură fiabilitatea circuitelor digitale prin meca-
nisme de protecție bazate pe redundanțe. Invenția **US 7047440 B1** adresează problema
fiabilității pentru un sistem de calcul bazat pe micro-procesoare, folosind redundanță dublă
23 la nivel de microprocesoare, respectiv redundanță triplă la nivelul circuitelor și interfețelor de
intrare-ieșire. Invenția **US 5339404 A** se adresează sistemelor bazate pe microprocesoare,
25 cu redundanță triplă, atunci când cele 3 instanțe funcționează asincron. Invenția
US 7859292 B1 se adresează dispozitivelor cu structură programabilă, introducând în celula
27 logică configurabilă, un circuit de votare; în acest mod, respectiva celulă poate fi folosită de
sine stătătoare, atunci când cerințele de fiabilitate sunt reduse, sau se poate implementa în
29 mod facil, împreună cu alte 2 celule, un sistem de redundanță triplă. Invenția **US 6720793 B1**
are ca scop creșterea fiabilității comparativ cu redundanța triplă pentru sistemelor imple-
31 mentate în dispozitive cu structură programabilă prin folosirea unei redundanțe de tip penta:
cinci instanțe ale aceluiași circuit.

33 Dezavantajul principal acestor invenții constă în costul ridicat al implementării soluției
tehnice, datorită faptului că necesită mai multe circuite electronice și un surplus de
35 comunicare. Un alt dezavantaj este fiabilitatea redusă a circuitului de votare, datorită
numărului mai mare de circuite electronice, iar o operare eronată a unui modul poate duce
37 la apariția unei erori de sistem.

39 Problema tehnică pe care o rezolvă invenția este realizarea unui sistem ieftin și fiabil
pentru reducerea magnitudinii erorilor probabilistice care apar în implementări de circuite
integrate digitale a căror procesare de date se bazează pe operații de adunare, înmulțire și
41 acumulare sau pot fi descompuse în astfel de operații.

43 Sistemul conform invenției este format din două instanțe de procesare a datelor care
lucrează în paralel, două blocuri de corecție și dintr-un modul de comparație a ieșirilor
instanțelor care atunci când detectează o diferență semnificativă între ieșiri activează
45 blocurile de calcul a corecțiilor aferente fiecărei instanțe, corecțiile fiind calculate pe baza
diferenței dintre ieșirea unei instanțe față de cealaltă.

RO 134587 B1

Metoda de atenuare a erorilor conform invenției presupune calculul corecției de intrare folosind un algoritm prestabilit. Acest algoritm se bazează pe descrierea modelului dinamic conform implementării procedurii folosind un algoritm prestabilit. Pe baza modelului dinamic se calculează un regulator liniar folosind metode de proiectare a reguletoarelor. Funcționarea blocului de calcul a factorului de corecție este condiționată de detectarea unor erori și are menirea de a atenua efectele erorii.

Funcționarea sistemului se realizează în trei faze: 1) regim normal de funcționare, fără a folosi blocurile de calcul a factorului de corecție, 2) compararea rezultatelor obținute, și 3) regim de corecție, respectiv atenuarea erorilor apărute.

Se dă în continuare un exemplu de realizare a invenției, în legătură cu fig. 1...3 care reprezintă:

- fig. 1, arhitectura sistemului;
- fig. 2, diagrama de realizare a sistemului;
- fig. 3, diagrama de funcționare a sistemului.

Sistemul de atenuare a erorilor, conform invenției, permite atenuarea efectelor erorilor probabilistice apărute pe căi de procesare a datelor care implementează operații de adunare, înmulțire și acumulare în implementări de circuite digitale. Un circuit integrat digital (FPGA, AS IC) implementează o formulă matematică care folosește operațiile enumerate sau alte operații care pot fi descompuse în operațiile enumerate.

Sistemul de detecție și de atenuare a erorilor (fig. 1) s-a realizat prin dublarea implementării originale a procedurii, datele de intrare fiind procesate în paralel prin „Instanța 1” (blocul 1) și „Instanța 2” (blocul 2). Pentru detectarea erorilor apărute în circuitele de procesare a datelor, ieșirile celor două instanțe x_1 , respectiv x_2 , sunt comparate cu ajutorul unui modul de comparație 3.

Dacă ieșirile x_1 , respectiv x_2 ale celor două instanțe 1 și 2 diferă, înseamnă că cel puțin una dintre implementări este afectată de o eroare. Depinzând de robustețea aplicației în cadrul căreia se folosește procedura implementată, diferențele mici pot fi neglijate. În funcție de aplicație se inițializează un prag de eroare a diferenței dintre ieșirile x_1 , x_2 .

Când eroarea depășește valoarea admisibilă setată, blocurile de calcul ale intrărilor de corecție 4, respectiv 5 sunt puse în funcțiune, iar cele două implementări, extinse cu blocurile menționate, sunt legate în reacție, unul folosind ieșirile celuilalt.

Astfel, blocul de corecție 4 va aplica instanței 1 o corecție în funcție de eroarea și $= x_2 - x_1$, în timp ce blocul de corecție 5 va aplica instanței 2 o corecție în funcție de eroarea $s_2 = x_1 - x_2$.

Noutatea soluției constă în faptul că se folosesc doar două implementări, iar atenuarea erorilor se datorează reacției dintre ele și a blocurilor de calcul a corecției. O altă noutate și un avantaj al invenției constă în faptul că această corecție poate fi operată pentru un număr redus de tacturi față de cele necesare pentru calculul întregii proceduri.

Metoda de realizare a sistemului pentru atenuarea erorilor care apar în unitățile de procesare a datelor implementate cu circuite digitale se descrie pe baza fig. 2.

Pentru realizarea sistemului se parcurg următorii pași:

- se calculează blocul de corecție **7** pentru implementarea originală **6**, într-un bloc de calcul **9** folosind un model dinamic **9a** cu care se calculează regulatorul **9b**;
- se adaugă **8** blocul de corecție **7** la implementarea originală **6**;
- se dublează **9** implementarea originală **6** împreună cu blocul de corecție **7**;
- se completează sistemul cu modulul de comparare **3** și reacțiile pentru atenuarea erorilor.

RO 134587 B1

1 Pentru a realiza blocul de corecție 7, care calculează factorii de corecție pentru
2 atenuarea erorilor care pot apărea în timpul funcționării circuitelor pe calea de date, mai întâi
3 se determină un model dinamic, pe baza algoritmului 1, iar apoi, pe baza algoritmului 2,
4 modelul dinamic se completează cu intrările și ieșirile corespunzătoare implementării.

5 Algoritm 1: Algoritm pentru determinarea modelului dinamic al implementării unei
6 proceduri date aferent unui circuit digital integrat.

7 1. Modelul general are forma $x(k+1) = Qx^2(k) + Ax(k) + a$, unde x reprezintă vectorul
8 de stare care descrie starea curentă a circuitului digital, Q și A sunt matrici de dimensiuni
9 corespunzătoare, iar a este un vector de constante, $x^2(k)$ este un vector care conține
10 înmulțirea doi câte doi a tuturor variabilelor de stare, iar k reprezintă tactul curent.

11 2. Fiecărui registru activ la un tact dat îi corespunde o variabilă de stare, astfel
12 valorile din variabilele de stare din vectorul x corespund rezultatelor operațiilor parțiale care
13 au fost efectuate până la tactul curent.

14 3. Vectorul a conține toate intrările în circuit.

15 4. Matricea A conține valori nonzero pe elementele corespunzătoare dependențelor
16 între regiștrii de la două tacturi consecutive.

17 5. Matricea Q conține o valoare nonzero doar pe primul element corespunzător unei
18 multiplicări.

19 Noutatea constă în determinarea unui model dinamic al unei implementări aferente
20 căii de date a unui circuit digital cu rezoluția tactului. Modelul dinamic obținut prin Algoritm
21 1 este extins cu intrări de control și ieșiri conform Algoritmului 2.

22 Algoritm 2: definirea intrărilor de corecție și a ieșirilor sistemului dinamic corespun-
23 zător implementării.

24 1. Ieșirile care vor fi folosite pentru calculul factorilor de corecție sunt cel puțin acele
25 ieșiri ale procedurii pentru care efectul erorilor trebuie atenuat. Pe lângă acestea pot fi folo-
26 site și alte valori memorate sau existente în implementarea propriu-zisă. Astfel, ieșirea poate
27 fi definită ca $y(k) = Cx(k)$, unde C este matricea care selectează ieșirile dintre variabilele de
28 stare.

29 2. Unui registru i se aplică aceeași intrare de corecție independent de tact. Astfel,
30 modelul dinamic al implementării procedurii devine de forma $x(k+1) = Qx^2(k) + Ax(k) + a +$
31 $Bu(k)$, unde B este matricea care selectează intrarea de corecție aplicată fiecărui registru,
32 iar $u(k)$ denotă intrarea de corecție la tactul k .

33 Odată obținut modelul dinamic complet cu intrări de corecție și ieșiri, se calculează
34 un regulator de urmărire a unei ieșiri de referință y^d , de forma $u(k) = f(y(k), y^d)$ folosind
35 metode clasice de proiectare a reguletoarelor. Acest regulator trebuie să asigure urmărirea
36 referinței și să obțină o viteză de atenuare a erorii cât mai mare. Cele mai simple reguletoare
37 care pot fi utilizate în acest scop sunt cele liniare de forma $u(k) = K(y(k) - y^d)$, unde K este
38 matricea de câștig, dar pot fi folosite și reguletoare mai complexe, proiectate folosind metode
39 și abordări avansate de control automat. Acest regulator este implementat în blocul de calcul
40 al intrării de corecție.

41 Modelul dinamic se realizează în blocul **9a** al sistemului, după următoarea procedură:

- 42 - se scriu operațiile pe tacturi;
- 43 - se atribuie variabilele de stare;
- 44 - se determină valorile elementelor matricelor Q și A care descriu starea sistemului;
- 45 - se determină valorile elementelor matricei B , care selectează intrarea de corecție
- 46 aplicată fiecărui registru și C care selectează ieșirile dintre variabilele de stare (blocul **9a**).

RO 134587 B1

După obținerea modelului dinamic 9a , se calculează regulatorul sau matricea de câștig K (blocul 9b), care va fi adăugat implementării originale 6 .	1
Noutatea soluției constă în faptul că se folosesc doar două implementări, iar atenuarea erorilor se datorează reacției dintre ele și a blocurilor de calcul ale corecției. O altă noutate și un avantaj al invenției constă în faptul că această corecție poate fi operată pentru un număr redus de tacturi față de cele necesare pentru calculul întregii proceduri.	3
Atenuarea erorilor conform invenției se realizează parcurgând următorii pași:	7
a. cele două instanțe ale procedurii parcurg pașii de funcționare normală;	
b. se compară rezultatele, iar în cazul unor diferențe ne-neglijabile se trece la pasul c ;	9
c. blocul de corecție 4 folosește ca și referință ieșirea instanței 2 ;	
d. blocul de corecție 5 folosește ca și referință ieșirea instanței 1 ;	11
e. se corectează ieșirea instanței 1 timp de n tacturi;	
f. se corectează ieșirea instanței 2 timp de n tacturi;	13
g. se revine la pasul b .	
Metoda de atenuare a erorilor conform invenției presupune parcurgerea următorilor pași:	15
1. Pe baza datelor de intrare fiecare instanță calculează ieșirea corespunzătoare, cu posibilitatea de a fi afectată de erori.	17
2. Modulul de comparație a rezultatelor verifică și compară ieșirile între ele, astfel:	19
a. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;	21
b. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afara limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;	23
c. dacă ieșirile date de către ambele instanțe sunt în limitele permise, iar diferența dintre ele este mai mică decât cea permisă de aplicație, se consideră corectă instanța 1;	25
d. dacă ieșirile date de către ambele instanțe sunt în limitele permise, dar nu sunt aceleași, se trece la pasul 3.	27
3. Se calculează factorii de corecție pe baza diferențelor dintre cele două ieșiri.	
4. Se aplică factorii de corecție blocurilor corespunzătoare celor două instanțe.	29
5. Se actualizează ieșirile celor două circuite, cu posibilitatea de a fi afectate de erori.	
6. Dacă nu s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se revine la pasul 2.	31
7. Dacă s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se verifică rezultatele:	33
a. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;	35
b. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afara limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;	37
c. dacă ieșirile date de către ambele instanțe sunt în limitele permise, se consideră corectă instanța 1.	39
Sistemul, respectiv metoda de atenuare a erorilor conform invenției prezintă următoarele avantaje:	41
- cost redus de implementare comparativ cu o metodă de corecție cu redundanță triplă modulară;	43
- permite încorporarea condițiilor specifice aplicației considerate și astfel detectarea eficientă a erorii;	45
- în cazul alegerii unor regulatoare liniare, nu necesită folosirea altor registre, astfel probabilitatea apariției unei erori pentru o implementare rămâne aceeași;	47
- este capabil de a atenua inclusiv erorile care pot apărea în timpul corecției.	49

RO 134587 B1

Revendicări

1

3 1. Metodă de detecție și de atenuare a erorilor care apar în implementările bazate pe
5 circuite integrate digitale, în care datele de intrare sunt procesate în paralel prin două
7 instanțe (1), (2), iar ieșirile celor două instanțe (x_1), respectiv (x_2), sunt legate în reacție și
comparate cu ajutorul unui modul (3) de comparație care atunci când detectează o eroare
9 $\varepsilon_1 = -\varepsilon_2$ peste o valoare prag, va aplica instanței (1) o corecție (4) și instanței (2) o corecție
(5), **caracterizată prin aceea că** conține următoarele etape:

9 a. pentru o implementare (6) se calculează un bloc de corecție (7) utilizând un bloc
de calcul (9) folosind un model dinamic (9a) cu care se calculează regulatorul (9b);

11 b. se adaugă blocul de corecție calculat;

13 c. se dublează implementarea împreună cu blocul de corecție (7);

13 d. se adaugă un modul (3) de comparare și se calculează reacțiile pentru atenuarea
erorilor.

15 2. Metodă de detecție și de atenuare a erorilor care apar în implementările bazate pe
17 circuite integrate digitale conform revendicării 1, **caracterizată prin aceea că**, mai constă
în următorii pași:

19 a. cele două instanțe ale procedurii parcurg pașii de funcționare normală;

19 b. se compară rezultatele, iar în cazul unor diferențe ne-neglijabile se trece la pasul c;

21 c. blocul (4) de corecție folosește ca și referință ieșirea instanței 2;

21 d. blocul (5) de corecție folosește ca și referință ieșirea instanței 1 ;

23 e. se corectează ieșirea instanței (1) timp de n tacturi;

23 f. se corectează ieșirea instanței (2) timp de n tacturi;

25 g. se revine la pasul b.

25 3. Metoda de detecție și de atenuare a erorilor care apar în implementările bazate pe
27 circuite integrate digitale, conform revendicării 2, **caracterizată prin aceea că**, mai constă
în următoarele etape:

29 A. Pe baza datelor de intrare fiecare instanță calculează ieșirea corespunzătoare x_1 ,
respectiv x_2 ;

31 B. Modulul (3) de comparație verifică și compară ieșirile între ele și decide astfel:

31 a. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, se
consideră în stare de eroare și apare reinițializarea;

33 b. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afara limitelor permise,
rezultatele care sunt în limitele permise se consideră corecte;

35 c. dacă ieșirile date de către ambele instanțe sunt în limitele permise, iar diferența
dintre ele este mai mică decât cea permisă, se consideră corectă instanța 1;

37 d. dacă ieșirile date de către ambele instanțe sunt în limitele permise, dar nu sunt
aceleași, se trece la etapa C;

39 C. Se calculează factorii de corecție pe baza diferențelor dintre cele două ieșiri;

41 D. Se aplică factorii de corecție blocurilor de corecție (4) și (5) corespunzătoare celor
două instanțe;

43 E. Se actualizează ieșirile celor două instanțe, cu posibilitatea de a fi afectate de
erori;

45 F. Dacă nu s-a depășit numărul de corecții sau perioada de timp alocată atenuării
erorilor, se revine la etapa B.

47 G. Dacă s-a depășit numărul de corecții sau perioada de timp alocată atenuării
erorilor, se verifică rezultatele:

49 e. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, se
consideră stare de eroare și apare reinițializarea;

RO 134587 B1

- f. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afară limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte; 1
- g. dacă ieșirile date de către ambele instanțe sunt în limitele permise, se consideră corectă instanța 1. 3
4. Metoda de detecție și de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale, conform revendicării 1, **caracterizată prin aceea că**, realizarea modelului dinamic presupune următorii pași: 5
- a. se scriu operațiile pe tacturi; 7
- b. se atribuie variabilele de stare; 9
- c. se determină valorile elementelor matricelor Q și A care descriu starea sistemului; 11
- d. se determină valorile elementelor matricei B care selectează intrarea de corecție aplicată fiecărui registru și C care selectează ieșirile dintre variabilele de stare. 11
5. Metoda de detecție și de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale, conform revendicării 4, **caracterizată prin aceea că**, determinarea modelului dinamic se realizează pe baza următorului algoritm: 13
- a. se scrie modelul general de forma $x(k+1) = Qx^2(k) + Ax(k) + a$, unde x reprezintă vectorul de stare care descrie starea curentă a circuitului digital, Q și A sunt matrici de dimensiuni corespunzătoare, iar a este un vector de constante, $x^2(k)$ este un vector care conține înmulțirea doi câte doi a tuturor variabilelor de stare, iar k reprezintă tactul curent; 17
- b. fiecărui registru activ la un tact dat îi corespunde o variabilă de stare, iar valorile din variabilele de stare din vectorul x corespund rezultatelor operațiilor parțiale care au fost efectuate până la tactul curent; 21
- c. vectorul a conține toate intrările în circuit; 23
- d. matricea A conține valori diferite de zero pe elementele corespunzătoare dependențelor între regiștrii de la două tacturi consecutive; 25
- e. matricea Q conține o valoare diferită de zero doar pe primul element corespunzător unei multiplicări. 27
6. Metoda de detecție și de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale, conform revendicării 4, **caracterizată prin aceea că**, intrările și ieșirile modelului dinamic atașat implementării se realizează pe baza următorului algoritm: 29
- a. se selectează ieșirile pentru care efectul erorilor trebuie atenuat, acestea fiind definite prin relații de forma $y(k) = Cx(k)$, unde C este matricea care selectează ieșirile dintre variabilele de stare; 33
- b. unui registru se aplică aceeași intrare de corecție independent de tact, iar modelul dinamic al implementării procedurii devine de forma $x(k+1) = Qx^2(k) + Ax(k) + a + Bu(k)$, unde B este matricea care selectează intrarea de corecție aplicată fiecărui registru, iar u(k) denotă intrarea de corecție la tactul k. 37
7. Sistem de detecție și de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale ale procedurilor care folosesc operații de tip adunare, înmulțire și de acumulare, pentru aplicarea metodei de la revendicările 1-6, format din două instanțe (1) și (2) de procesare a datelor care lucrează în paralel, **caracterizat prin aceea că** mai conține două blocuri (7) de corecție calculate de blocurile (9) de calcul folosind un model dinamic (9a) cu care se determină un regulator (9b), și dintr-un modul de comparație a ieșirilor legate în reacție ale instanțelor, care atunci când detectează o diferență semnificativă între ieșiri activează blocurile (9) de calcul a corecțiilor aferente fiecărei instanțe, corecțiile fiind calculate pe baza diferenței dintre ieșirea unei instanțe față de cealaltă. 45

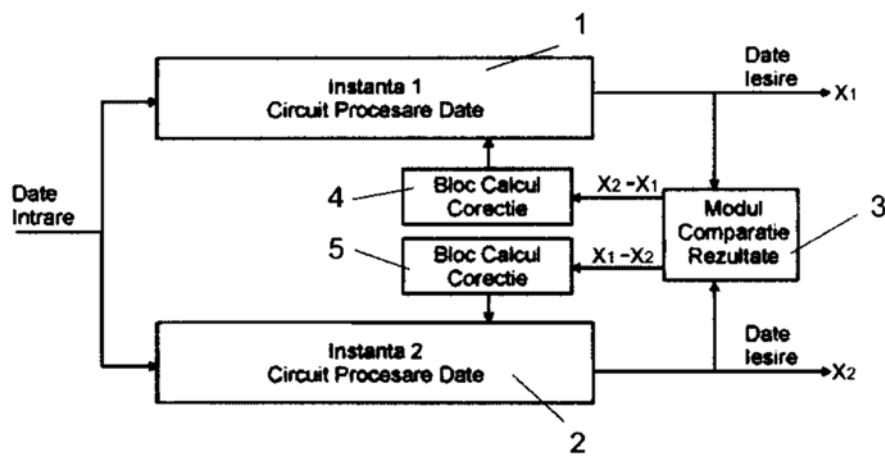


Fig. 1

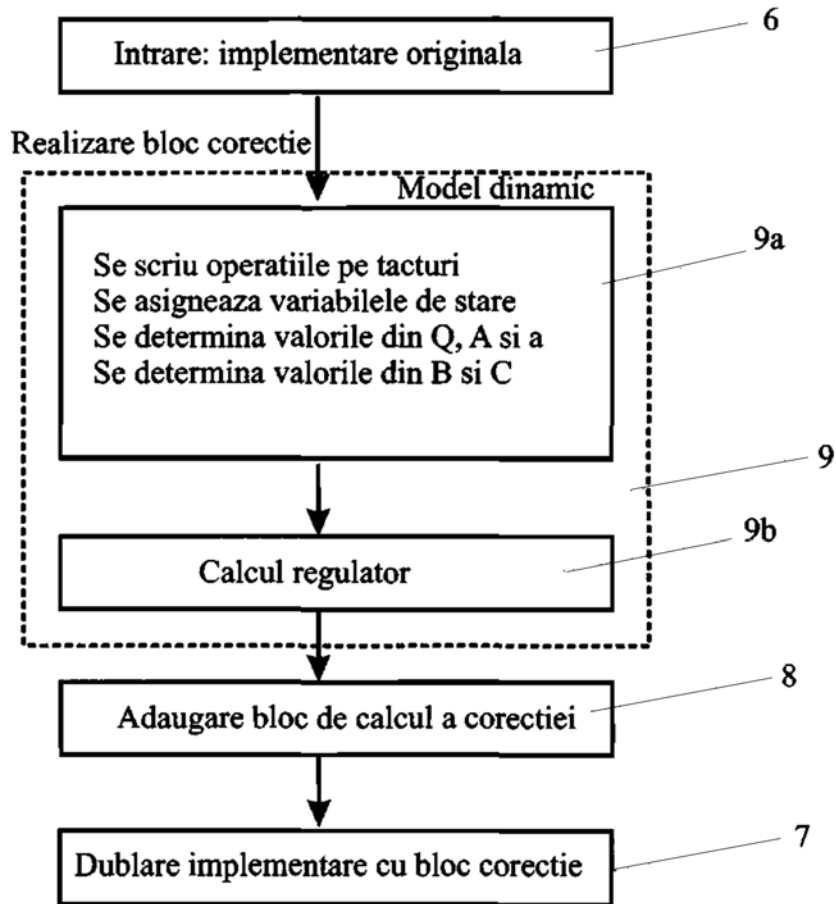


Fig. 2

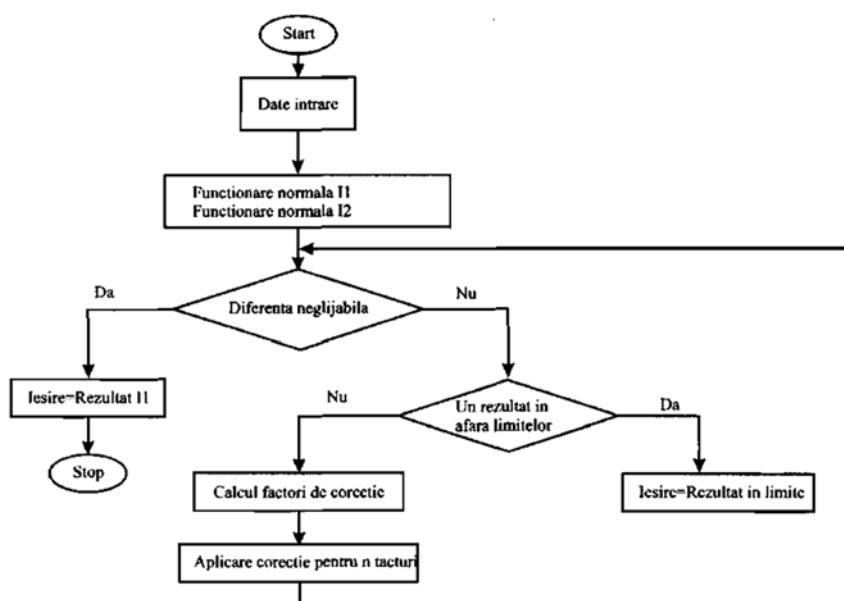


Fig. 3

