



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2019 00838

(22) Data de depozit: 03/12/2019

(41) Data publicării cererii:  
27/11/2020 BOPI nr. 11/2020

(71) Solicitant:  
• UNIVERSITATEA TEHNICĂ DIN  
CLUJ-NAPOCA, STR.MEMORANDUMULUI  
NR.28, CLUJ-NAPOCA, CJ, RO;  
• UNIVERSITATEA "POLITEHNICA" DIN  
TIMIȘOARA, PIAȚA VICTORIEI NR.2,  
TIMIȘOARA, TM, RO

(72) Inventatori:  
• LENDEK ZSOFIA, STR.ALBAC, NR.8,  
AP.7, CLUJ - NAPOCA, CJ, RO;

• AMĂRICĂI - BONCALO ALEXANDRU,  
STR.REGIMENT 13 CĂLĂRAȘI, NR.10,  
AP.4, TIMIȘOARA, TM, RO;  
• AMĂRICĂI - BONCALO OANA,  
STR.REGIMENT 13 CĂLĂRAȘI, NR.10,  
AP.4, TIMIȘOARA, RO

(74) Mandatar:  
CABINET DE PROPRIETATE  
INDUSTRIALĂ CIUPAN CORNEL,  
STR. MESTECENILOR NR. 6, BL. 9E, SC.1,  
AP. 2, CLUJ NAPOCA, CJ

(54) SISTEM ȘI METODĂ PENTRU ATENUAREA ERORILOR  
CARE APAR ÎN UNITĂȚILE DE PROCESARE A DATELOR  
IMPLEMENTATE CU CIRCUITE DIGITALE

(57) Rezumat:

Invenția se referă la un sistem și la o metodă pentru atenuarea erorilor probabilistice care apar în unitățile de procesare a datelor implementate cu circuite integrate digitale a căror procesare de date se bazează pe operații de adunare, înmulțire și acumulare sau pot fi descompuse în astfel de operații. Sistemul conform invenției este format din două instanțe (1, 2) conectate în paralel, având ieșirile ( $x_1$ ,  $x_2$ ) legate în reacție și comparate cu ajutorul unui modul (3) de comparație care, atunci când detectează o eroare, va aplica o corecție, calculată de câte un bloc (4, 5) de calcul al corecției. Metoda conform invenției presupune realizarea unui model dinamic care descrie starea curentă a circuitului și calcularea factorilor de corecție, pe baza acestui model.

Revendicări: 7  
Figuri: 3

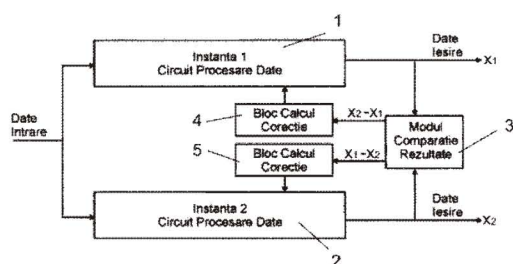


Fig. 1



## **Sistem și metodă pentru atenuarea erorilor care apar în unitățile de procesare a datelor implementate cu circuite digitale**

Invenția se referă la un sistem și o metodă de atenuare a erorilor probabilistice care apar în implementări de circuite integrate digitale pe căi de date care folosesc operații de adunare, înmulțire și acumulare folosite în sisteme de calcul. De asemenea, metoda poate fi folosită și numai în scopul detectării defectelor, fără atenuarea lor.

Este cunoscută invenția WO2019207855 (A1) care prezintă un sistem și o metodă de diagnosticare de defecțiuni cu ajutorul căreia un indicator de eroare poate fi diagnosticat mai precis. Sistemul de diagnosticare a erorilor necesită un tabel de date cu funcționarea senzorilor care indică o asociere între datele senzorului și timpul de achiziție a datelor senzorului; un tabel de date privind modul de operare care indică o asociere între un mod de operare și un timp de funcționare în modul de operare; și un tabel de date de operare creată prin procesarea tabelului de date al funcționării senzorului și a tabelului de date privind modul de operare și care cuprinde datele senzorului cu privire la modul de operare la un moment dat. Sistemul compară, într-un anumit mod de funcționare, un prag determinat pe baza unui model de diagnostic creat prin învățarea de la datele normale ale senzorului cu o valoare calculată pe baza modelului de diagnostic din datele senzorului care urmează să fie diagnosticate și stabilește dacă apare o defecțiune.

Sistemul și metoda descrise în brevetul WO2019207855 (A1) prezintă mai multe dezavantaje, cel mai important fiind acela că necesită o multitudine de informații prealabile referitoare la senzorii folosiți, respectiv la modul de funcționare.

Se cunosc mai multe invenții care asigură fiabilitatea circuitelor digitale prin mecanisme de protecție bazate pe redundanțe. Invenția US7047440B1 adresează problema fiabilității pentru un sistem de calcul bazat pe micro-procesoare, folosind redundanță dublă la nivel de microprocesoare, respectiv redundanță triplă la nivelul circuitelor și interfețelor de intrare-ieșire. Invenția US5339404A se adresează sistemelor bazate pe microprocesoare, cu redundanță triplă, atunci când cele 3 instanțe funcționează asincron. Invenția US7859292B1 se adresează dispozitivelor cu structură programabilă, introducând în celula logică configurabilă, un circuit de votare; în acest mod, respectiva celulă poate fi folosită de sine stătătoare, atunci când cerințele de fiabilitate sunt reduse, sau se poate implementa în mod facil, împreună cu alte 2 celule, un sistem de redundanță triplă. Invenția US6720793B1 are ca scop creșterea fiabilității comparativ cu redundanța triplă pentru sistemelor implementate în

dispozitive cu structură programabilă prin folosirea unei redundanțe de tip penta: cinci instanțe ale aceluiași circuit.

Dezavantajul principal acestor invenții constă în costul ridicat al implementării soluției tehnice, datorită faptului că necesită mai multe circuite electronice și un surplus de comunicare. Un alt dezavantaj este fiabilitatea redusă a circuitului de votare, datorită numărului mai mare de circuite electronice, iar o operare eronată a unui modul poate duce la apariția unei erori de sistem.

Problema tehnică pe care o rezolvă invenția este realizarea unui sistem ieftin și fiabil pentru reducerea magnitudinii erorilor probabilistice care apar în implementări de circuite integrate digitale a căror procesare de date se bazează pe operații de adunare, înmulțire și acumulare sau pot fi descompuse în astfel de operații.

Sistemul conform invenției este format din două instanțe de procesare a datelor care lucrează în paralel, două blocuri de corecție și dintr-un modul de comparație a ieșirilor instanțelor care atunci când detectează o diferență semnificativă între ieșiri activează blocurile de calcul a corecțiilor aferente fiecărei instanțe, corecțiile fiind calculate pe baza diferenței dintre ieșirea unei instanțe față de cealaltă.

Metoda de atenuare a erorilor conform invenției presupune calculul corecției de intrare folosind un algoritm prestabilit. Acest algoritm se bazează pe descrierea modelului dinamic conform implementării procedurii folosind un algoritm prestabilit. Pe baza modelului dinamic se calculează un regulator liniar folosind metode de proiectare a reguletoarelor. Funcționarea blocului de calcul a factorului de corecție este condiționată de detectarea unor erori și are menirea de a atenua efectele erorii.

Funcționarea sistemului se realizează în trei faze: 1) regim normal de funcționare, fără a folosi blocurile de calcul a factorului de corecție, 2) compararea rezultatelor obținute, și 3) regim de corecție, respectiv atenuarea erorilor apărute.

Se dă în continuare un exemplu de realizare a invenției, în legătură cu figurile 1-3 care reprezintă

- Figura 1, arhitectura sistemului;
- Figura 2, diagrama de realizare a sistemului;
- Figura 3, diagrama de funcționare a sistemului.

Sistemul de atenuare a erorilor, conform invenției, permite atenuarea efectelor erorilor probabilistice apărute pe căi de procesare a datelor care implementează operații de adunare, înmulțire și acumulare în implementări de circuite digitale. Un circuit integrat digital (FPGA,

ASIC) implementează o formulă matematică care folosește operațiile enumerate sau alte operații care pot fi descompuse în operațiile enumerate.

Sistemul de detecție și de atenuare a erorilor (Fig. 1) s-a realizat prin dublarea implementării originale a procedurii, datele de intrare fiind procesate în paralel prin „Instanța 1” (blocul 1) și „Instanța 2” (blocul 2). Pentru detectarea erorilor apărute în circuitele de procesare a datelor, ieșirile celor două instanțe  $x_1$ , respectiv  $x_2$ , sunt comparate cu ajutorul unui modul de comparație 3.

Dacă ieșirile  $x_1$ , respectiv  $x_2$  ale celor două instanțe 1 și 2 diferă, înseamnă că cel puțin una dintre implementări este afectată de o eroare. Depinzând de robustețea aplicației în cadrul căreia se folosește procedura implementată, diferențele mici pot fi neglijate. În funcție de aplicație se inițializează un prag de eroare a diferenței dintre ieșirile  $x_1$ ,  $x_2$ .

Când eroarea depășește valoarea admisibilă setată, blocurile de calcul ale intrărilor de corecție 4, respectiv 5 sunt puse în funcțiune, iar cele două implementări, extinse cu blocurile menționate, sunt legate în reacție, unul folosind ieșirile celuilalt.

Astfel, blocul de corecție 4 va aplica instanței 1 o corecție în funcție de eroarea  $\varepsilon_1 = x_2 - x_1$ , în timp ce blocul de corecție 5 va aplica instanței 2 o corecție în funcție de eroarea  $\varepsilon_2 = x_1 - x_2$ .

Noutatea soluției constă în faptul că se folosesc doar două implementări, iar atenuarea erorilor se datorează reacției dintre ele și a blocurilor de calcul a corecției. O altă noutate și un avantaj al invenției constă în faptul că această corecție poate fi operată pentru un număr redus de tacturi față de cele necesare pentru calculul întregii proceduri.

Metoda de realizare a sistemului pentru atenuarea erorilor care apar în unitățile de procesare a datelor implementate cu circuite digitale se descrie pe baza figurii 2.

Pentru realizarea sistemului se parcurg următorii pași:

- se calculează blocul de corecție 7 pentru implementarea originală 6, într-un bloc de calcul 9 folosind un model dinamic 9a cu care se calculează regulatorul 9b;
- se adaugă 8 blocul de corecție 7 la implementarea originală 6;
- se dublează 9 implementarea originală 6 împreună cu blocul de corecție 7;
- se completează sistemul cu modulul de comparare 3 și reacțiile pentru atenuarea erorilor.

Pentru a realiza blocul de corecție 7, care calculează factorii de corecție pentru atenuarea erorilor care pot apărea în timpul funcționării circuitelor pe calea de date, mai întâi

se determină un model dinamic, pe baza algoritmului 1, iar apoi, pe baza algoritmului 2, modelul dinamic se completează cu intrările și ieșirile corespunzătoare implementării.

Algoritm 1: Algoritm pentru determinarea modelului dinamic al implementării unei proceduri date aferent unui circuit digital integrat

1. Modelul general are forma  $x(k+1) = Qx^2(k) + Ax(k) + a$ , unde  $x$  reprezintă vectorul de stare care descrie starea curentă a circuitului digital,  $Q$  și  $A$  sunt matrici de dimensiuni corespunzătoare, iar  $a$  este un vector de constante,  $x^2(k)$  este un vector care conține înmulțirea doi câte doi a tuturor variabilelor de stare, iar  $k$  reprezintă tactul curent;

2. Fiecărui registru activ la un tact dat îi corespunde o variabilă de stare, astfel valorile din variabilele de stare din vectorul  $x$  corespund rezultatelor operațiilor parțiale care au fost efectuate până la tactul curent;

3. Vectorul  $a$  conține toate intrările în circuit;

4. Matricea  $A$  conține valori nonzero pe elementele corespunzătoare dependențelor între regiștrii de la două tacturi consecutive;

5. Matricea  $Q$  conține o valoare nonzero doar pe primul element corespunzător unei multiplicări.

Noutatea constă în determinarea unui model dinamic al unei implementări aferente căii de date a unui circuit digital cu rezoluția tactului. Modelul dinamic obținut prin Algoritmul 1 este extins cu intrări de control și ieșiri conform Algoritmului 2.

Algoritm 2: definirea intrărilor de corecție și a ieșirilor sistemului dinamic corespunzător implementării

1. Ieșirile care vor fi folosite pentru calculul factorilor de corecție sunt cel puțin acele ieșiri ale procedurii pentru care efectul erorilor trebuie atenuat. Pe lângă acestea pot fi folosite și alte valori memorate sau existente în implementarea propriu-zisă. Astfel, ieșirea poate fi definită ca  $y(k) = Cx(k)$ , unde  $C$  este matricea care selectează ieșirile dintre variabilele de stare.

2. Unui registru  $i$  se aplică aceeași intrare de corecție independent de tact. Astfel, modelul dinamic al implementării procedurii devine de forma  $x(k+1) = Qx^2(k) + Ax(k) + a + Bu(k)$ , unde  $B$  este matricea care selectează intrarea de corecție aplicată fiecărui registru, iar  $u(k)$  denotă intrarea de corecție la tactul  $k$ .

Odată obținut modelul dinamic complet cu intrări de corecție și ieșiri, se calculează un regulator de urmărire a unei ieșiri de referință  $y^d$ , de forma  $u(k) = f(y(k), y^d)$  folosind metode clasice de proiectare a reguletoarelor. Acest regulator trebuie să asigure urmărirea

referinței și să obțină o viteză de atenuare a erorii cât mai mare. Cele mai simple regulatoare care pot fi utilizate în acest scop sunt cele liniare de forma  $u(k) = K(y(k) - y^d)$ , unde  $K$  este matricea de câștig, dar pot fi folosite și regulatoare mai complexe, proiectate folosind metode și abordări avansate de control automat. Acest regulator este implementat în blocul de calcul al intrării de corecție.

Modelul dinamic se realizează în blocul **9a** al sistemului, după următoarea procedură:

- se scriu operațiile pe tacturi;
- se atribuie variabilele de stare;
- se determina valorile elementelor matricelor  $Q$  și  $A$  care descriu starea sistemului;
- se determină valorile elementelor matricei  $B$ , care selectează intrarea de corecție aplicată fiecărui registru și  $C$  care selectează ieșirile dintre variabilele de stare (blocul **9a**).

După obținerea modelului dinamic **9a**, se calculează regulatorul sau matricea de câștig  $K$  (blocul **9b**), care va fi adăugat implementării originale **6**.

Noutatea soluției constă în faptul că se folosesc doar două implementări, iar atenuarea erorilor se datorează reacției dintre ele și a blocurilor de calcul ale corecției. O altă noutate și un avantaj al invenției constă în faptul că această corecție poate fi operată pentru un număr redus de tacturi față de cele necesare pentru calculul întregii proceduri.

Atenuarea erorilor conform invenției se realizează parcurgând următorii pași:

- a. cele două instanțe ale procedurii parcurg pașii de funcționare normală;
- b. se compară rezultatele, iar în cazul unor diferențe ne-neglijabile se trece la pasul **c**;
- c. blocul de corecție 4 folosește ca și referință ieșirea instanței 2;
- d. blocul de corecție 5 folosește ca și referință ieșirea instanței 1;
- e. se corectează ieșirea instanței 1 timp de  $n$  tacturi;
- f. se corectează ieșirea instanței 2 timp de  $n$  tacturi;
- g. se revine la pasul **b**.

Metoda de atenuare a erorilor conform invenției presupune parcurgerea următorilor pași:

1. Pe baza datelor de intrare fiecare instanță calculează ieșirea corespunzătoare, cu posibilitatea de a fi afectată de erori;
2. Modulul de comparație a rezultatelor verifică și compară ieșirile între ele, astfel:
  - a. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;

- b. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afară limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;
  - c. dacă ieșirile date de către ambele instanțe sunt în limitele permise, iar diferența dintre ele este mai mică decât cea permisă de aplicație, se consideră corectă instanța 1;
  - d. dacă ieșirile date de către ambele instanțe sunt în limitele permise, dar nu sunt aceleași, se trece la pasul 3;
3. Se calculează factorii de corecție pe baza diferențelor dintre cele două ieșiri;
  4. Se aplică factorii de corecție blocurilor corespunzătoare celor două instanțe;
  5. Se actualizează ieșirile celor două circuite, cu posibilitatea de a fi afectate de erori;
  6. Dacă nu s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se revine la pasul 2;
  7. Dacă s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se verifică rezultatele:
    - a. dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;
    - b. dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afară limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;
    - c. dacă ieșirile date de către ambele instanțe sunt în limitele permise, se consideră corectă instanța 1.

Sistemul, respectiv metoda de atenuare a erorilor conform invenției prezintă următoarele avantaje:

- cost redus de implementare comparativ cu o metodă de corecție cu redundanță triplă modulară;
- permite încorporarea condițiilor specifice aplicației considerate și astfel detectarea eficientă a erorii;
- în cazul alegerii unor regulatoare liniare, nu necesită folosirea altor registre, astfel probabilitatea apariției unei erori pentru o implementare rămâne aceeași;
- este capabil de a atenua inclusiv erorile care pot apărea în timpul corecției.

## REVENDICĂRI

1. Sistem de detecție și de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale ale procedurilor care folosesc operații de tip adunare, înmulțire și de acumulare, **caracterizat prin aceea că** datele de intrare sunt procesate în paralel prin două instanțe (1), (2), iar ieșirile celor două instanțe ( $x_1$ ), respectiv ( $x_2$ ), sunt legate în reacție și comparate cu ajutorul unui modul de comparație (3) care atunci când detectează o eroare  $\epsilon_1 = -\epsilon_2$  peste o valoare prag, va aplica instanței (1) o corecție (4) și instanței (2) o corecție (5).
2. Metoda de realizare a sistemului de detecție și de atenuare a erorilor conform revendicării 1, **caracterizată prin aceea că**, presupune realizarea următorilor etape:
  - a. pentru implementarea originală (6) se calculează blocul de corecție (7) utilizând un bloc de calcul (9) folosind un model dinamic (9a) cu care se calculează regulatorul (9b);
  - b. se adaugă (8) blocul de corecție (7) calculat la implementarea originală (6);
  - c. se dublează (9) implementarea originală (6) împreună cu blocul de corecție (7);
  - d. se completează sistemul cu un modul de comparare (3) și cu reacțiile pentru atenuarea erorilor.
3. Metoda de atenuare a erorilor care apar în implementările bazate pe circuite integrate digitale conform revendicării 2, **caracterizată prin aceea că**, presupune realizarea următorilor pași:
  - a. cele două instanțe ale procedurii parcurg pașii de funcționare normală;
  - b. se compară rezultatele, iar în cazul unor diferențe ne-neglijabile se trece la pasul c;
  - c. blocul de corecție 4 folosește ca și referință ieșirea instanței 2;
  - d. blocul de corecție 5 folosește ca și referință ieșirea instanței 1;
  - e. se corectează ieșirea instanței 1 timp de n tacturi;
  - f. se corectează ieșirea instanței 2 timp de n tacturi;
  - g. se revine la pasul 2.
4. Metoda de atenuare a erorilor conform revendicării 3, **caracterizată prin aceea că**, presupune realizarea următoarelor etape:
  - A. Pe baza datelor de intrare fiecare instanță calculează ieșirea corespunzătoare  $x_1$ , respectiv  $x_2$ ;



- B. Modulul de comparație a rezultatelor verifică și compară ieșirile între ele și decide astfel:
- dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;
  - dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afara limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;
  - dacă ieșirile date de către ambele instanțe sunt în limitele permise, iar diferența dintre ele este mai mică decât cea permisă de aplicație, se consideră corectă instanța 1;
  - dacă ieșirile date de către ambele instanțe sunt în limitele permise, dar nu sunt aceleași, se trece la etapa C;
- C. Se calculează factorii de corecție pe baza diferențelor dintre cele două ieșiri;
- D. Se aplică factorii de corecție blocurilor corespunzătoare celor două instanțe;
- E. Se actualizează ieșirile celor două circuite, cu posibilitatea de a fi afectate de erori;
- F. Dacă nu s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se revine la etapa B.
- G. Dacă s-a depășit numărul de corecții sau perioada de timp alocată atenuării erorilor, se verifică rezultatele:
- dacă ieșirile ambelor instanțe sunt în afara limitelor permise de către aplicație, sistemul este în stare de eroare și trebuie reinițializat;
  - dacă ieșirile unei instanțe, dar nu și a celeilalte sunt în afara limitelor permise de către aplicație, rezultatele care sunt în limitele permise se consideră corecte;
  - dacă ieșirile date de către ambele instanțe sunt în limitele permise, se consideră corectă instanța 1.
5. Metoda de atenuare a erorilor conform revendicării 2, **caracterizată prin aceea că**, realizarea modelului dinamic presupune următorii pași:
- se scriu operațiile pe tacturi;
  - se atribuie variabilele de stare;
  - se determină valorile elementelor matricelor Q și A care descriu starea sistemului;
  - se determină valorile elementelor matricei B care selectează intrarea de corecție aplicată fiecărui registru și C care selectează ieșirile dintre variabilele de stare.

6. Metodă de atenuare a erorilor conform revendicării 5, **caracterizată prin aceea că**, determinarea modelului dinamic se realizează pe baza următorului algoritm:
- Se scrie modelul general de forma  $x(k+1) = Qx^2(k) + Ax(k) + a$ , unde  $x$  reprezintă vectorul de stare care descrie starea curentă a circuitului digital,  $Q$  și  $A$  sunt matrici de dimensiuni corespunzătoare, iar  $a$  este un vector de constante,  $x^2(k)$  este un vector care conține înmulțirea doi câte doi a tuturor variabilelor de stare, iar  $k$  reprezintă tactul curent;
  - Fiecărui registru activ la un tact dat corespunde o variabilă de stare, iar valorile din variabilele de stare din vectorul  $x$  corespund rezultatelor operațiilor parțiale care au fost efectuate până la tactul curent;
  - Vectorul  $a$  conține toate intrările în circuit
  - Matricea  $A$  conține valori diferite de zero pe elementele corespunzătoare dependențelor între regiștrii de la două tacturi consecutive
  - Matricea  $Q$  conține o valoare diferită de zero doar pe primul element corespunzător unei multiplicări
7. Metodă de realizare a modelului dinamic a implementării unui proceduri conform revendicării 5, **caracterizată prin aceea că**, intrările și ieșirile modelului dinamic atașat implementării se realizează pe baza următorului algoritm:
- se selectează ieșirile pentru care efectul erorilor trebuie atenuat, acestea fiind definite prin relații de forma  $y(k) = Cx(k)$ , unde  $C$  este matricea care selectează ieșirile dintre variabilele de stare;
  - Unui registru se aplică aceeași intrare de corecție independent de tact, iar modelul dinamic al implementării procedurii devine de forma  $x(k+1) = Qx^2(k) + Ax(k) + a + Bu(k)$ , unde  $B$  este matricea care selectează intrarea de corecție aplicată fiecărui registru, iar  $u(k)$  denotă intrarea de corecție la tactul  $k$ .

4

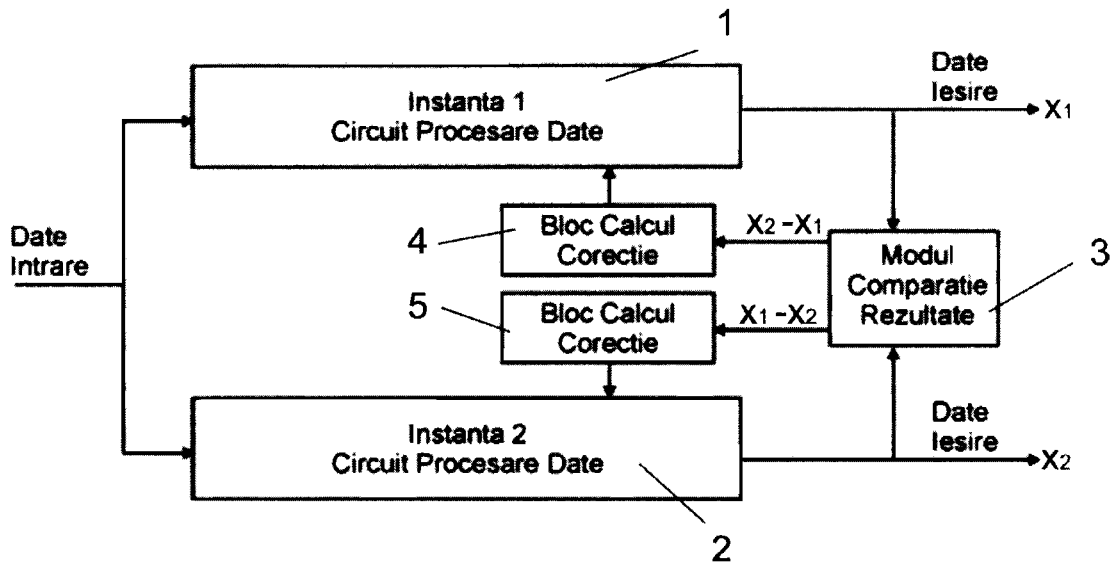


Figura 1

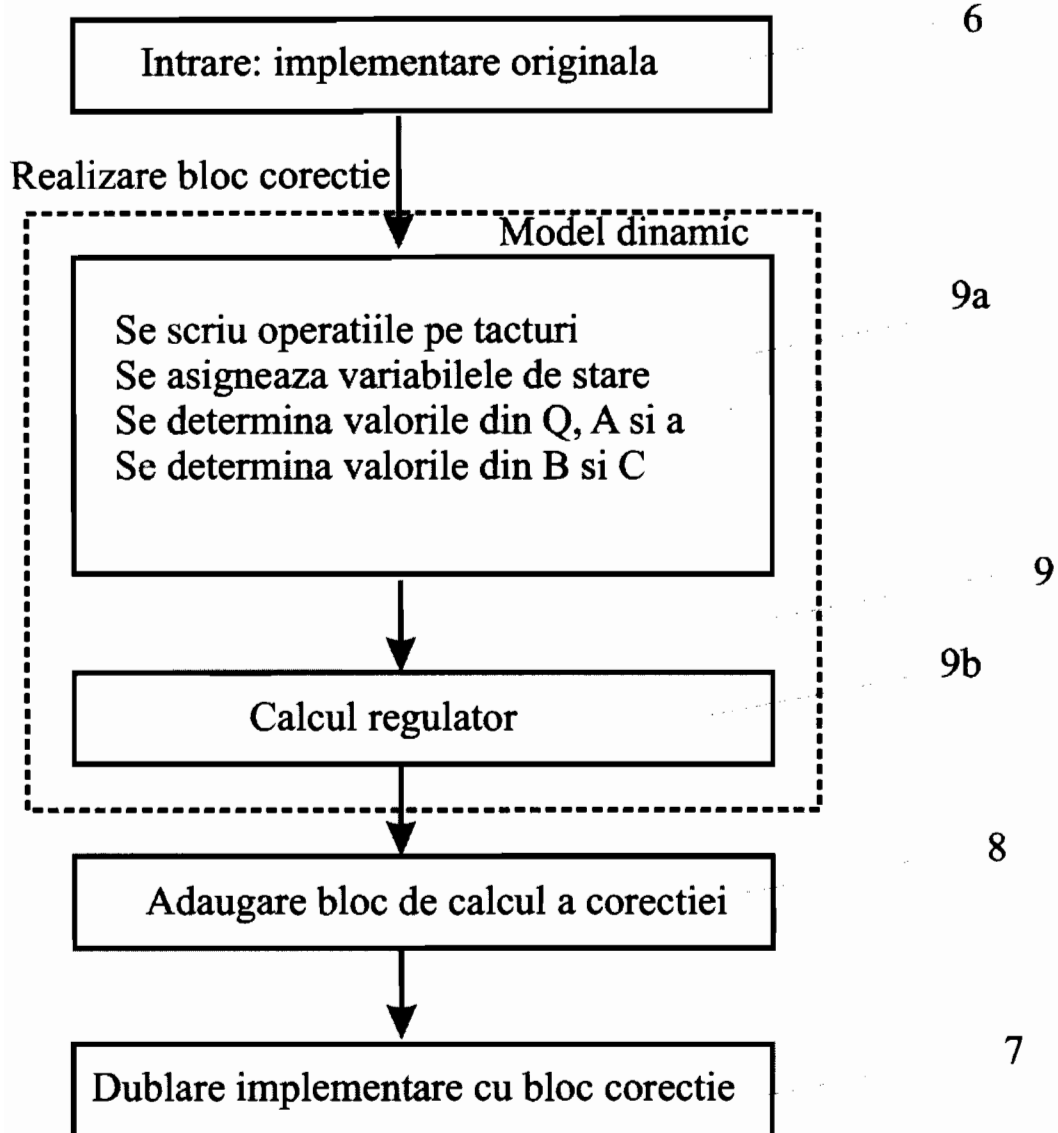


Figura 2

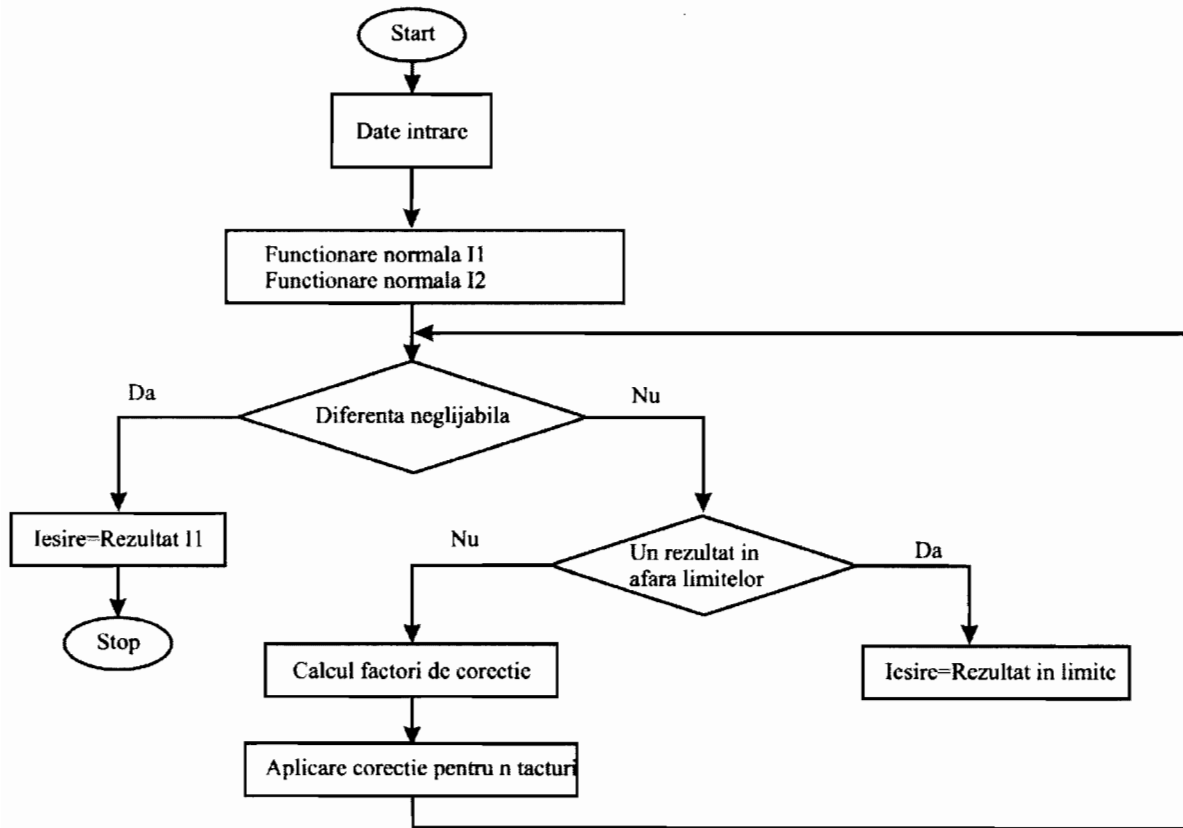


Figura 3