



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2018 00526

(22) Data de depozit: 11/07/2018

(41) Data publicării cererii:
30/04/2020 BOPI nr. 4/2020

(71) Solicitant:
• UNIVERSITATEA POLITEHNICA DIN
BUCUREȘTI, SPLAIUL INDEPENDENȚEI
NR.313, SECTOR 6, BUCUREȘTI, B, RO

(72) Inventatori:
• RAVARIU CRISTIAN,
STR.IZVORUL CRIȘULUI NR.15, BL.A 8,
AP.83, SECTOR 4, BUCUREȘTI, B, RO;

• BABARADA FLORIN, STR.PÂNCOTA
NR.9, BL.11N, SC.2, ET.4, AP.40,
SECTOR 2, BUCUREȘTI, B, RO;
• MANEA ELENA, ALĒEA PRAVĂȚ NR. 6,
BL.M2, SC.A, AP.12, SECTOR 6,
BUCUREȘTI, B, RO;
• PÂRVULESCU CĂTĂLIN CORNELIU,
ALEEA CICEU, NR.2, BL.A13, SC.1, AP.36,
SECTOR 4, BUCUREȘTI, B, RO

(54) **PROCEDEU DE FABRICAȚIE A DISPOZITIVULUI VERSATIL
SEMICONDUCTOR PLANAR PENTRU TESTAREA
TUNELĂRII IZOLATORILOR ULTRA-SUBȚIRI**

(57) Rezumat:

Invenția se referă la un procedeu de fabricare a unui semiconductor planar pentru testarea tunelării izolatoarelor ultrasubțiri. Procedeu conform invenției cuprinde următoarele etape: pornire plachetă de Si cu dopare slabă, dopare n+ puternică pe fața plachetei, creșterea oxidului-1 cel mai gros pe toată suprafața plachetei, aplicare mască-1, corodarea oxidului în afara măștii-1, creșterea următoarei trepte de oxid-2, aplicare mască-2, corodarea oxidului în afara măștii-2, creșterea următoarei trepte de oxid-3, aplicare mască-3, corodarea oxidului în afara măștii-3, creșterea următoarei trepte de oxid-4, aplicare mască-4, corodarea oxidului în afara măștii-4, creșterea următoarei trepte de oxid-5, aplicare mască-5, corodarea oxidului în afara măștii-5, depunere metal pe suprafața structurii, aplicare mască-6 pentru definirea electrozilor metalici, pe fiecare zonă de oxid, și o contactare laterală distinctă direct pe siliciu a electrodului de drenă, separarea structurilor și încapsularea finală.

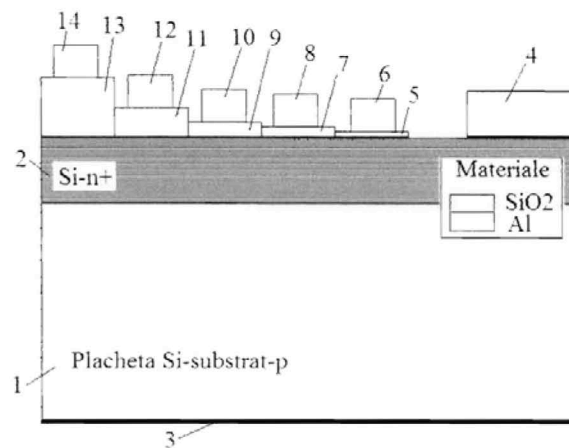


Fig. 1

Revendicări: 4
Figuri: 8

Cu începere de la data publicării cererii de brevet, cererea asigură, în mod provizoriu, solicitantului, protecția conferită potrivit dispozițiilor art.32 din Legea nr.64/1991, cu excepția cazurilor în care cererea de brevet de invenție a fost respinsă, retrasă sau considerată ca fiind retrasă. Întinderea protecției conferite de cererea de brevet de invenție este determinată de revendicările conținute în cererea publicată în conformitate cu art.23 alin.(1) - (3).



OFICIUL DE STAT PENTRU INVENȚII ȘI MĂRCI
Cerere de brevet de invenție
Nr. a 2018 00 526
Data depozit 11-07-2018

36

Procedeu de fabricatie a dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri

Descrierea invenției

Invenția se referă la o structura de dispozitiv electronic pe un substrat semiconductor, ce permite conducție de curent electric prin efect tunel prin izolatori de grosimi succesiv mai mici, sub-90nm, ce permite o testare versatila, adica secventiala sau simultana - la alegerea utilizatorului, a curentilor prin terminalele metalice ce contacteaza izolatorii. Structura de dispozitiv face parte din categoria dispozitivelor cu straturi ultra-subtiri, fiind caracterizata de grosimi ale straturilor active de izolator de la 90nm, pana la 4nm.

Invenția face parte din *domeniul tehnic* al electronicii la scala nanometrica, care poate fi utilizata în industria circuitelor si componentelor electronice, cu impact in viitorul apropiat.

Încadrare în domeniu

Primul motiv al propunerii de brevetare a dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri coincide cu contextul in care se propune aceasta structura de dispozitiv pentru testarea tunelarii izolatorilor ultrasubtiri, cel al perioadei de vârf al tranzistorului MOS ajuns din 2017 la tehnologia integrata sub-22nm, cu preconizarea trecerii pana in 2021 la tehnologia de 5nm. Izolatorii de poarta ai acestor tranzistoare MOS tind sa aiba dimensiuni sub-10nm pana spre un strat atomic. Efectul tunelarii izolatorilor de poarta la aceste tranzistoare MOS din tehnologiile sub-22nm, deci apartinand viitorului apropiat, va reprezenta o problema majora cu care industria circuitelor si componentelor electronice se va confrunta. De aceea, un dispozitiv electronic conform inventiei va oferi un dispozitiv de testare pentru monitorizarea curentilor de poarta ai tranzistoarelor MOS viitoare.

Al II-lea motiv al propunerii de brevetare a dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri este cresterea interesului tehnic si stiintific pe plan mondial pentru alte tipuri de dispozitive electronice, duale MOS-ului, ce ar putea fi co-integrate cu MOS-ul, si bazate pe efectul tunel. Astfel, tranzistoarele tunel pin-FET detin o panta sub prag mai buna decat limita fizica a MOS-ului de 60mV/dec, atingand si 40mV/dec, [S.O. Koswatta, et al, Performance Comparison Between p-i-n Tunneling Transistors and Conventional MOSFETs, *IEEE Trans. Electron Devices*, 56(3): 456-465, 2009]. De asemenea, tranzistoarele cu cavitare de tip *Nimic pe izolator* sau Nothing On Insulator (NOI), recent publicate [C. Ravariu, *IEEE Trans El. Dev*, 63(8): 3278 – 3283, 2016], se inscriu intr-o clasa de dispozitive electronice de interes international, prezentate si de grupul de cercetatori de la NASA Han si colaboratorii, care sustin: „Introducing the vacuum transistor: a device made of Nothing”, in *IEEE Spectrum*, unde dumnealor descriu detalii despre avantajele dispozitivelor cu tunelare a izolatorilor de 10nm [J.-W.

Han, et al, Vacuum nanoelectronics: Back to the future?—Gate insulated nanoscale vacuum channel transistor, *Applied Physics Letters*, 100, 213505: 1-4, 2012]. Studii recente au demonstrat posibilitatea inlocuirii vacuumului din nano-cavitatea tranzistorului NOI cu oxidul, [C Ravariu, *IEEE Trans. Manufacturing*, 26(3): 406-413, 2013], deschizand oportunitati spre variante planare de dispozitive cu tunelare a izolatorilor ultra-subtiri.

Pe scurt, structura de dispozitiv versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, conform invenției, este înrudita cu capacitatoarele MOS si cu nano-tranzistoarele cu cavitate pe izolator de tip "Nimic pe Izolator" (NOI) [C. Ravariu, Gate Swing Improving for the Nothing On Insulator Transistor in Weak Tunneling, *IEEE Transactions on Nanotechnology*, 2017, 16(6): 1115 - 1121].

În scopul realizării dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, conform invenției, se cunoaște o tehnologie de realizare a circuitelor CMOS cu grosimi sub-10nm ale izolatorilor de poarta. Pentru mentinerea unei tensiuni de prag scazuta, se inlocuieste oxidul de siliciu cu izolatorii cu permitivitate dielectrica mare ca HfO₂ sau HfZrO (USA Patent No.US 8,941,184 B2, Date Jan. 27, 2015, Authors Ando Takashi et al., Low Threshold Voltage CMOS Device). Dezavantajul mare al acestei metode tehnologice este ca apeleaza la materiale scumpe pe de o parte, a caror resurse naturale este critica, iar pe de alta parte face apel la o integrare pe Siliciu a altor compusi decat ai Siliciului, ceea ce este mai dificil tehnologic.

Se mai cunoaște procedeul de fabricatie al tranzistorul Nimic pe Izolator (NOI), care necesita creerea unei nano-cavitati cu vid de dimensiuni sub-10nm intre doua straturi semiconductoare, (Brevet OSIM RO126811-B1, C. Ravariu. *Tranzistor cu efect de câmp de tip cavitate pe izolator și procedeul de realizare al acestuia*, BOPI/2013). Acest procedeu tehnologic are ca efect o cale de conductie pe directie orizontala a curentului tunel si o cerinta tehnologica deosebit de pretentioasa - alaturarea pe verticala la 2...4nm a doua straturi semi-conductoare.

Problema tehnică pe care o rezolvă prezenta invenție constă în oferirea unei solutii de fabricare a unui dispozitiv cu tunelarea a unor izolatori subtiri cu trepte de grosimi sub-90nm, dar in varianta planara si folosind un izolator ieftin ca SiO₂, usor accesibil in tehnologia Siliciului. Varianta planara provine de la rotirea cu 90° a structurii NOI verticale, astfel incat *lungimi* de izolator de 90...2nm - greu realizabile tehnologic - devin acum *grosimi* de izolator in aceeasi gama. Dar un oxid gros de circa 4nm este usor de fabricat astazi, mai ales daca revenim la SiO₂ in loc de compusii oxidici ai Hafniului. Evident, ca procedeul tehnologic propus in acest brevet, va putea fi adaptat foarte usor, in concordanta cu evolutia facilitatilor tehnologice ce vor urma, asteptandu-ne la cresteri controlate de oxizi cu grosimi si mai mici de 2nm. La dispozitivul versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, conform invenției, tunelarea se realizeaza pe verticala, iar straturile care produc tunelarea sunt plasate orizontal, unul peste altul. Atat timp, cat dispozitivul conform invenției va deservi testarea curentului de poarta prin tranzistoarele MOS, el va putea ajuta la minimizarea scurgerilor spre poarta prin alegerea unor regimuri de lucru optime. Pe de alta



parte, dispozitivul conform invenției va co-exista inerent în toate circuitele CMOS de generații imediat următoare, ca dispozitiv parazit. Așadar, el va reprezenta și un dispozitiv de studiu obligatoriu la MOS-ul din generațiile următoare. Dacă dispozitivul conform invenției va fi tratat ca dispozitiv de sine stătător, atunci curentul tunel prin izolator se va transforma din dezavantaj, în punctul forte specific al acestui dispozitiv, care se va putea înrudi/compara/optimiza în raport cu celelalte dispozitive tunel existente.

Procedeele de realizare a dispozitivului versatil semiconductor planar pentru testarea tunelării izolatoarelor ultra-subțiri, conform invenției, constă din următorii pași: pornire cu plachetă de Si de tip p, dopare n+ pe fața plachetei, creșterea oxidului celui mai gros pe toată suprafața plachetei, aplicare masca-1 pentru definirea lungimii primului oxid, corodarea oxidului în afara mastii-1, creșterea următoarei trepte de oxid-2 mai puțin groasă, aplicare masca-2 pentru definirea lungimii oxidului-2, corodarea oxidului în afara mastii-2, creșterea următoarei trepte de oxid-3 mai puțin groasă, aplicare masca-3 pentru definirea lungimii oxidului-3, corodarea oxidului în afara mastii-3, creșterea următoarei trepte de oxid-4 mai puțin groasă, aplicare masca-4 pentru definirea lungimii oxidului-4, corodarea oxidului în afara mastii-4, creșterea următoarei trepte de oxid-5 cel mai subțire, aplicare masca-5 pentru definirea lungimii oxidului-5, corodarea oxidului în afara mastii-5, depunere metal pe toată suprafața structurii, aplicare masca-6 pentru definirea locațiilor electrozilor metalici, ca sursa-1, sursa-2, sursa-3, sursa-4, sursa-5, pe fiecare zonă de oxid și o contactare laterală distinctă direct pe Siliciu a electrodului de drenă, separare structuri, încapsulare finală.

Avantajele invenției:

- Principalul avantaj al acestui tip de dispozitiv o constituie compatibilitatea cu tehnologia siliciului, fapt ce conduce la realizarea de structuri la prețuri mici cu dotările uzuale din tehnologia microelectronica.
- Creșterile treptelor de oxid se pot realiza concomitent cu tehnologia CMOS, fapt ce permite: (i) co-integrarea dispozitivului cu tranzistoarele MOS; (ii) adaptarea sa în pas cu evoluțiile CMOS ulterioare, prin re-ajustări ale grosimilor treptelor de izolatori și (iii) monitorizarea curentilor tunel prin diverse grosimi de oxid direct pe placheta cu circuitul CMOS, într-o zonă a cipurilor test unde se pot integra concomitent cu procesarea circuitului și dispozitivul conform invenției.
- Controlul grosimii uniforme a oxidului este mai exact la creșterea oxidului, decât la corodarea oxidului. Procedeele tehnologice dificile pe care le rezolvă actualul brevet este depunerea unor trepte de SiO₂ de la cele mai groase la cele mai subțiri grosimi, prin creștere de oxid, mascare, corodare completă a oxidului din afara mastii, apoi creșterea controlată a unui oxid uniform, mai subțire; după care procedeul se repetă.
- Procedeele tehnologice propuse fac posibilă implementarea dispozitivului versatil semiconductor planar pentru testarea tunelării izolatoarelor ultra-subțiri, conform invenției, ca o variantă planară a tranzistorului NOI descris doar teoretic anterior, care încă nu a fost implementat pe plan mondial,

dar a carui importanta a atras publicarea studiului sau in IEEE Transactions [C. Ravariu, *Compact NOI Nano-Device Simulation*, IEEE Transactions on VLSI Systems, 22(8): 1841 - 1844, 2014].

În continuare, este prezentat un exemplu de realizare a procedurii de fabricatie a dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, conform invenției, în legătură cu fig.1 ÷ fig.8, în care:

Fig. 1 prezintă structura de ansamblu a acestui dispozitiv cu toate reperatele (1) ÷ (14).

Fig. 2. prezintă placheta initiala rasturnata la 90° , in care se observa doparea initiala cu Acceptori precum Bor, doparea predominanta spre suprafata cu Donori precum Fosfor si oxidul-1 care se vede in partea stanga, crescut pe suprafata.

Fig.3.a. prezintă placheta, dupa rotatia inapoi cu 90° , pe care s-a configurat masca-1. Si in aceasta figura, dar si in urmatoarele, mereu se va vedea in partea de jos substratul de tip p din Si (1), iar in partea superioara a semiconductorului - stratul puternic dopat n+ ca reperul (2).

Fig. 3.b. prezintă structura, dupa corodarea oxidului SiO_2 din afara mastii-1 si apoi indepartarea mastii. Se configureaza lungimea primului strat de oxid, oxid-1, (13).

Fig. 4.a. prezintă evolutia tehnologica a structurii dupa ce s-a crescut al II-lea strat de oxid mai putin gros pe suprafata structurii, iar deasupra s-a depus masca-2.

Fig. 4.b. prezintă structura, dupa corodarea oxidului SiO_2 din afara mastii-2 si apoi indepartarea mastii. Se configureaza lungimea stratului al II-lea de oxid, oxid-2, (11).

Fig. 5.a. prezintă rezultatul final dupa ce se repeta secventa cresterii noii trepte de oxid, aplicarea mastii-3, corodare oxid in afara mastii si eliminare masca. Se configureaza lungimea stratului al III-lea de oxid, oxid-3, (9).

Fig. 5.b. prezintă rezultatul final dupa ce se repeta secventa cresterii noii trepte de oxid, aplicarea mastii-4, corodare oxid in afara mastii si eliminare masca. Se configureaza lungimea stratului al IV-lea de oxid, oxid-4, (7).

Fig. 6. prezintă rezultatul final dupa ce se repeta secventa cresterii ultimei trepte de oxid, aplicarea mastii-5, corodare oxid in afara mastii si eliminare masca. Se configureaza lungimea stratului al V-lea de oxid, oxid-5, (5).

Fig. 7. prezintă configurarea tuturor electrozilor metalici, dupa aplicarea mastii-6 de metalizare, eliminare Al in zonele nedorite si indepartare masca-6. Se configureaza astfel sursa-1 ca (14), sursa-2 ca (12), sursa-3 ca (10), sursa-4 ca (8), sursa-5 ca (6) si drena ca (4) - pe fata plachetei, iar substratul ca (3) pe spatele plachetei.

Fig. 8. prezintă vederea de sus prin suprapunerea mastilor de oxid si de metalizare pe fata plachetei. Detaliul oxidului sub electrod, se vede doar la oxidul-1 ca (13), sub electrodul metalic al sursei-1 ca (14). Lateral stanga se vede crucea ca semn de aliniere.

Procedeul de fabricație efectiv pe siliciu, a dispozitivului versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, conform invenției, include următorii pași tehnologici:

- se pornește de la o plachetă Siliciu monocristalin de tip p, cu orientare $\langle 100 \rangle$, dopare initiala cu bor in concentrația de 10^{15} atomi/cm³, dispus in Fig. 1 ca reperul (1).

- placheta este implantata pe fata cu fosfor la o doza de 3×10^{15} atomi/cm³, la o energie de 50Kev. Nu se mai aplica tratamente termice imediate, intrucat vor exista procese termice de oxidare care vor conduce la redistribuiri inerente ale impuritatilor implantate, pana la o adancime de 0.5μm, absolut acoperitoare. Rezultatul acestui prim pas tehnologic se vede in Fig. 2, ca filmul (2).

- se creste apoi o prima treapta de oxid de siliciu SiO₂, treapta cea mai groasa, prin procedee MOS pentru acuratete maxima. Condițiile de oxidare sunt proces termic la 875°C, timp de 53minute, la presiunea de 1atmosfera, pe oxigen uscat si vapori de HCl, pentru a realiza un oxid de calitate MOS.

- se aplica masca-1 pentru configurarea lungimii primei trepte de oxid groasa de circa 90nm si lunga de circa 100nm, notata in Fig.1 si Fig.3.a. cu (13). Se elimina prin corodare oxidul ne-mascat si se indeparteaza masca-1. Structura rezultata dupa acest proces tehnologic arata ca in Fig. 3.b.

- in secvența urmatoare se face o oxidare pentru cresterea celei de a doua trepte de oxid printr-un proces termic la 875°C timp de 30minute la presiunea de 1 atmosfera pe oxigen uscat si vapori de HCl pentru a realiza un oxid de calitate MOS.

- se aplica masca-2 pentru configurarea lungimii celei de a II-a trepte de oxid, rezultand structura intermediara din Fig. 4.a. Se elimina prin corodare oxidul ne-mascat. Dupa indepartarea mastii-2, rezulta structura din Fig.4.b. in care se vede realizata a II-a treapta de oxid, groasa de circa 50nm, notata in Fig. 1 si Fig.4.b cu (11).

- in secvența urmatoare se face o oxidare pentru cresterea celei de a treia trepte de oxid printr-un proces termic la 875°C timp de 10minute la presiunea de 1 atmosfera pe oxigen uscat si vapori de HCl pentru a realiza un oxid de calitate MOS.

- se aplica masca-3 pentru configurarea lungimii celei de a III-a trepte de oxid. Se elimina prin corodare oxidul ne-mascat. Dupa indepartarea mastii-3, rezulta structura din Fig.5.a., in care se vede realizata a III-a treapta de oxid, groasa de circa 20nm, notata in Fig. 1 si Fig.5.a cu (9).

- in secvența urmatoare se face o oxidare pentru cresterea celei de a patra trepte de oxid printr-un proces termic la 875⁰C timp de 3.5minute la presiunea de 1 atmosfera pe oxigen uscat si vapori de HCl pentru a realiza un oxid de calitate MOS.
- se aplica masca-4 pentru configurarea lungimii celei de a IV-a trepte de oxid. Se elimina prin corodare oxidul ne-mascat. Dupa indepartarea mastii-4, rezulta structura din Fig.5.b, in care se vede realizata a IV-a treapta de oxid, groasa de circa 10nm, notata in Fig. 1 si Fig.5.b cu (7).
- in secvența urmatoare se face o oxidare pentru cresterea celei de a cincea trepte de oxid printr-un proces termic la 875⁰C timp de 1minut la presiunea de 1 atmosfera pe oxigen uscat si vapori de HCl pentru a realiza un oxid de calitate MOS.
- se aplica masca-5 pentru configurarea lungimii celei de a V-a trepte de oxid. Se elimina prin corodare oxidul ne-mascat. Dupa indepartarea mastii-5, rezulta structura din Fig.6, in care se vede realizata a V-a treapta de oxid, groasa de circa 5nm, notata in Fig.1 si Fig.6, cu (5). S-a ales temperatura procesului de oxidare suficient de scazuta fata de procesele uzuale, incat cel mai subtire oxid sa fie realizat intr-un timp de macar 1 minut.
- se depune un strat de aluminiu peste intreaga structura, pentru configurarea electrozilor metalici.
- se aplica masca-6 de metalizare, in scopul definirii contactelor metalice pe fiecare din cele 5 trepte de oxid, plus un contact direct pe siliciu al electrodului Drena, in acord cu Fig.1, Fig. 7, Fig. 8.
- se elimina prin corodare aluminiul ne-mascat, iar in final se indeparteaza masca-6, rezultand structura principială din Fig. 1, cu sectiunea transversala ca in Fig. 7 și vedere de sus ca in Fig. 8.
- urmează procedeele standard finale de decupare de pe plachetă, etanșare și încapsulare.

Invenția este susceptibilă de aplicare industrială, deoarece obiectul său este aplicabil fie in industria semiconductoare CMOS, fie in crearea de noi dispozitive tunel cu functii predefinite.

Asadar se estimeaza ca dispozitivul versatil semiconductor planar pentru testarea tunelarii izolatorilor ultra-subtiri, din aceasta inventie, sa fie folosit in viitor pe doua planuri:

(i) ca dispozitiv de testare a curentilor de poarta prin tranzistoarele MOS de ultima generatie si aproape obligatoriu ca dispozitiv parazit, de studiu, inclus in orice structura MOS sub-22nm.

(ii) lansarea unui dispozitiv de sine statator, cu performante si parametrii proprii, ce poate fi co-integrat alaturi de circuitele CMOS.

REVEDICĂRI

1. Obiectul invenției este o tehnologie pentru fabricarea unui dispozitiv versatil semiconductor planar pentru testarea tunelării izolatoarelor ultra-subțiri, alcătuit din Substratul semiconductor **1**, un film puternic dopat n+ la suprafața plăchetei **2**, contactul metalic de substrat **3**, contactul de drena **4** direct pe filmul n+, oxidul-5 cel mai subțire **5**, electrodul metalic numit sursa-5 peste oxidul cel mai subțire **6**, următoarea treaptă de oxid-4 - reperul **7**, electrodul metalic numit sursa-4 peste oxidul-4 - reperul **8**, următoarea treaptă de oxid-3 - reperul **9**, electrodul metalic numit sursa-3 peste oxidul-3 - reperul **10**, următoarea treaptă de oxid-2 - reperul **11**, electrodul metalic numit sursa-2 peste oxidul-2 - reperul **12**, următoarea treaptă de oxid-1 - reperul **13**, electrodul metalic numit sursa-1 peste oxidul-1 - reperul **14**.

2. Procedeele de fabricație a dispozitivului conform revendicării 1, **caracterizat prin aceea că** constă din pornire plăchetă de Si cu dopare slabă, dopare n+ puternică pe fața plăchetei, creșterea oxidului-1 cel mai gros, aplicare masca-1, corodarea oxidului în afara mastii-1, creșterea următoarei trepte de oxid-2, aplicare masca-2, corodarea oxidului în afara mastii-2, creșterea următoarei trepte de oxid-3, aplicare masca-3, corodarea oxidului în afara mastii-3, creșterea următoarei trepte de oxid-4, aplicare masca-4, corodarea oxidului în afara mastii-4, creșterea următoarei trepte de oxid-5, aplicare masca-5, corodarea oxidului în afara mastii-5, depunere metal pe suprafața structurii, aplicare masca-6 pentru definirea electrozilor metalici, pe fiecare zonă de oxid și o contactare laterală distinctă direct pe Siliciu a electrozilor de drena, încapsulare.

3. Procedeele de fabricație a dispozitivului conform revendicării 1, **caracterizat prin aceea că** poate repeta secvența creșterii de oxid - mascării - corodare oxid și contactare metalică a oxidului crescut, de mai mult de 5 ori sau de mai puțin de 5 ori, obținându-se orice număr dorit de trepte de izolator.

4. Procedeele de fabricație a dispozitivului conform revendicării 1, **caracterizat prin aceea că** respecta toată descrierea tehnologică de la revendicarea 2 sau 3 și pentru alți izolatori electrici decât SiO₂ și pentru orice dimensiuni ale straturilor de izolator.

Desenele

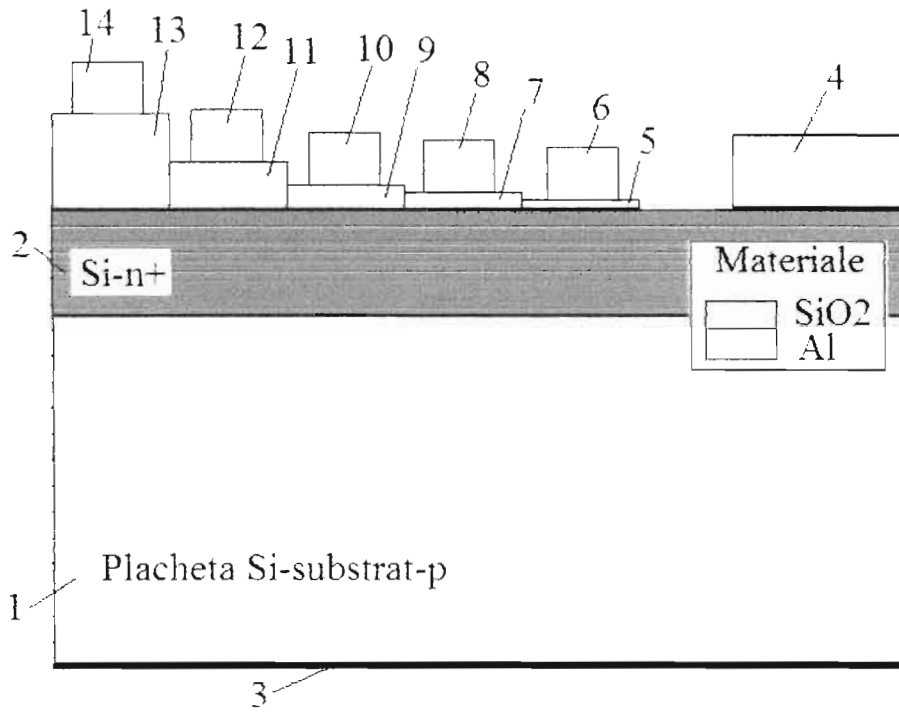
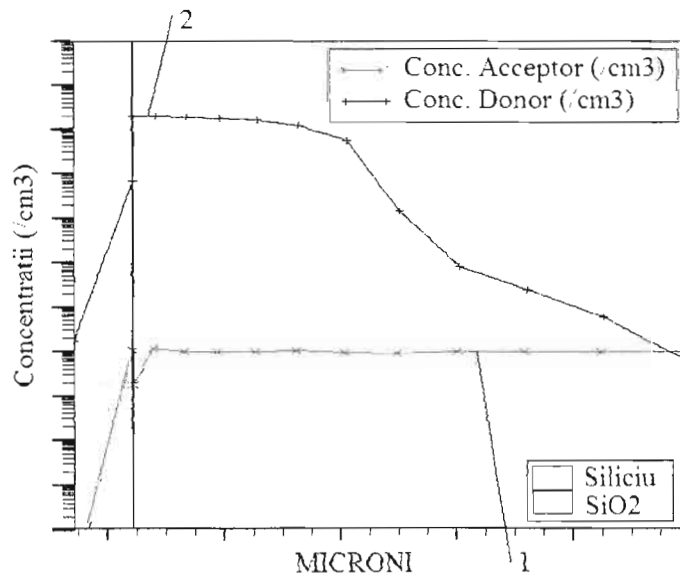


Fig. 1.



Handwritten signature

Fig. 2.

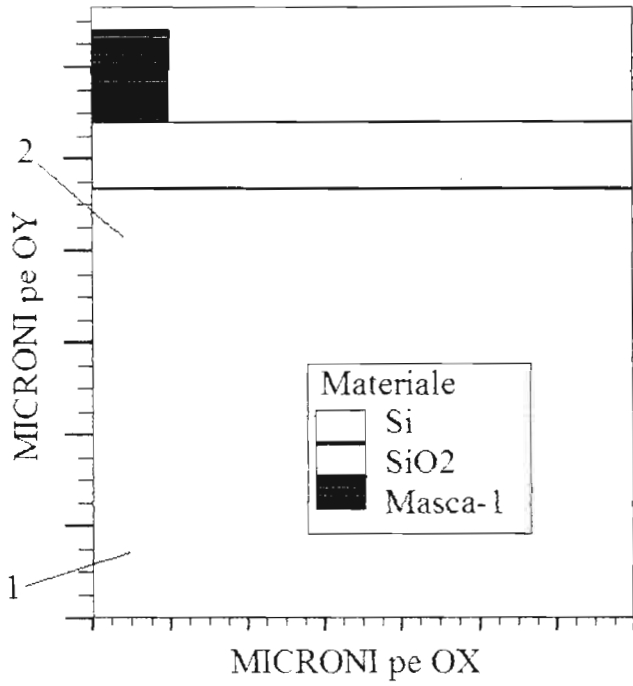


Fig. 3.a.

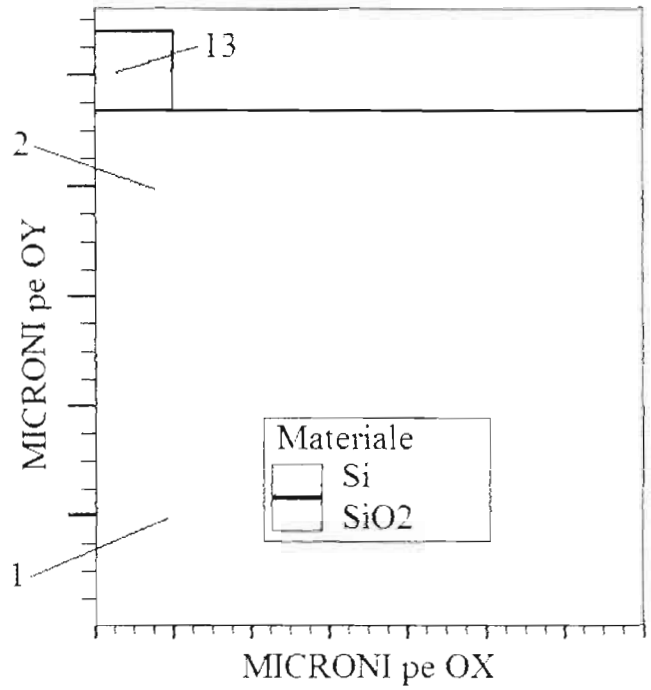


Fig. 3.b.

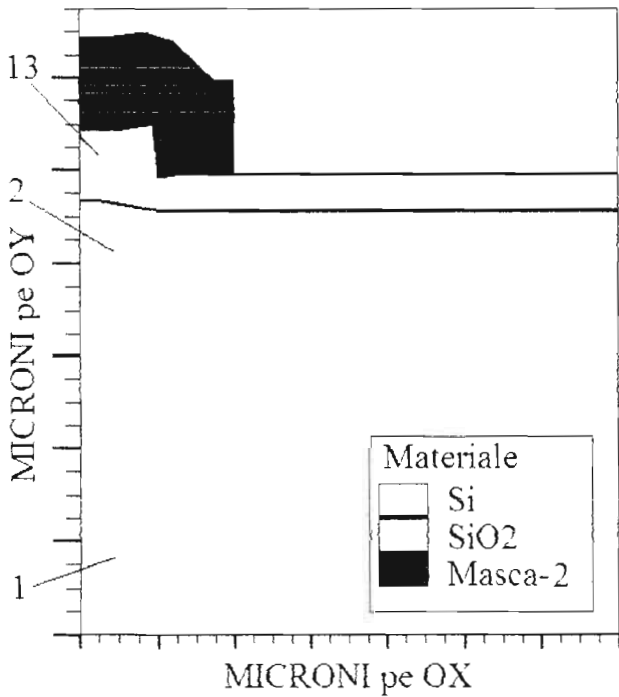


Fig. 4.a.

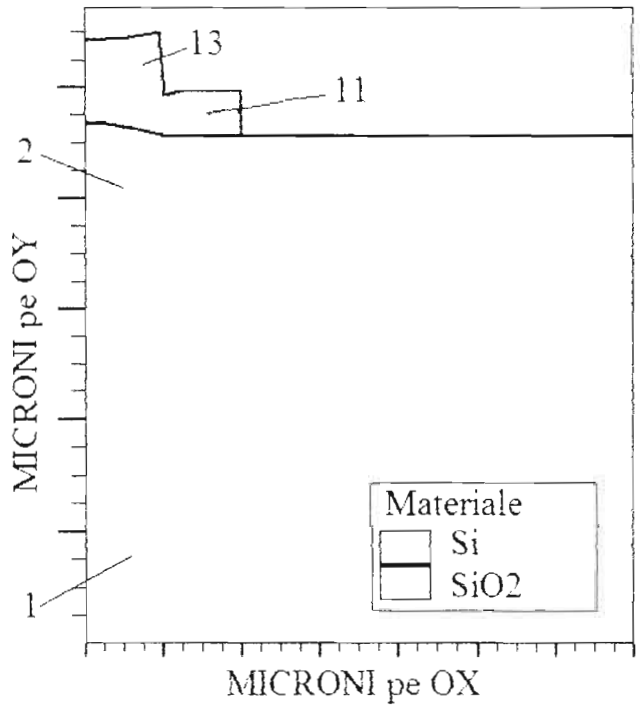


Fig. 4.b.

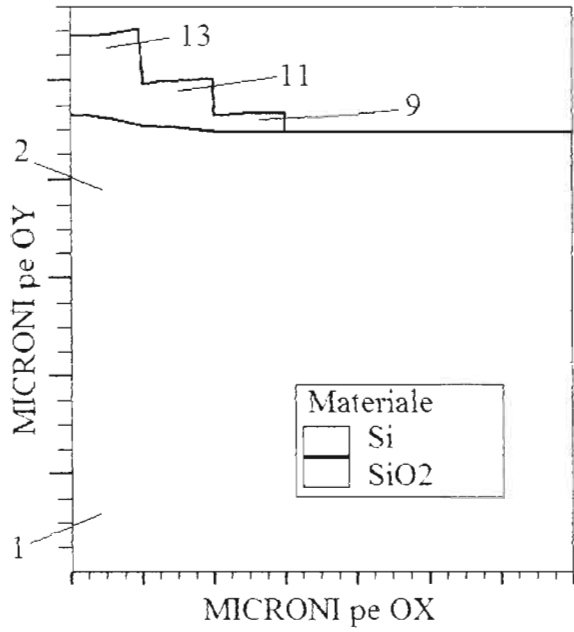


Fig. 5.a.

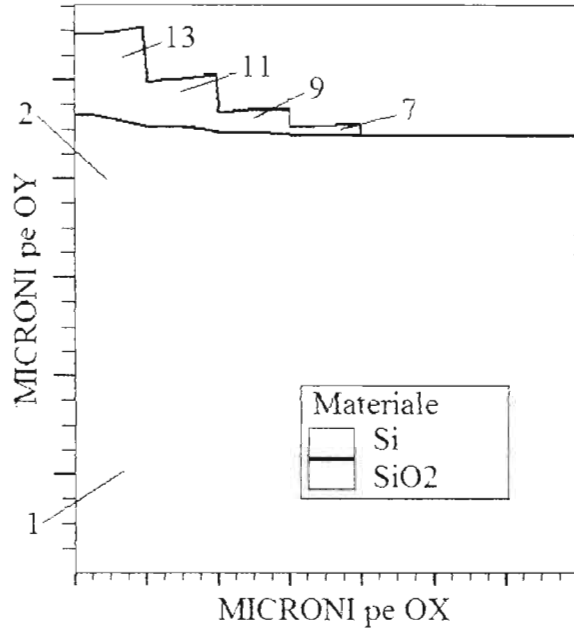


Fig. 5.b.

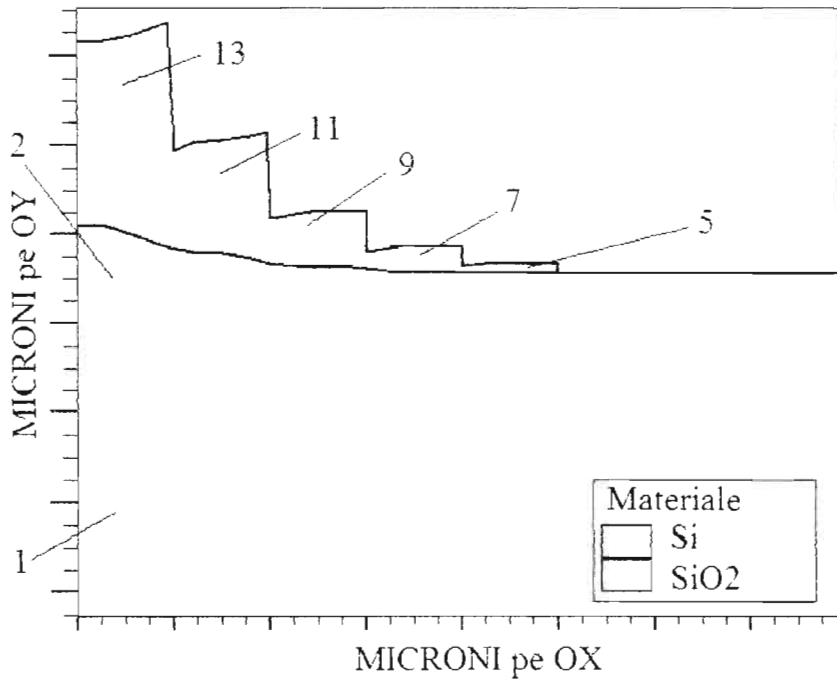


Fig. 6.

Fig. 6.

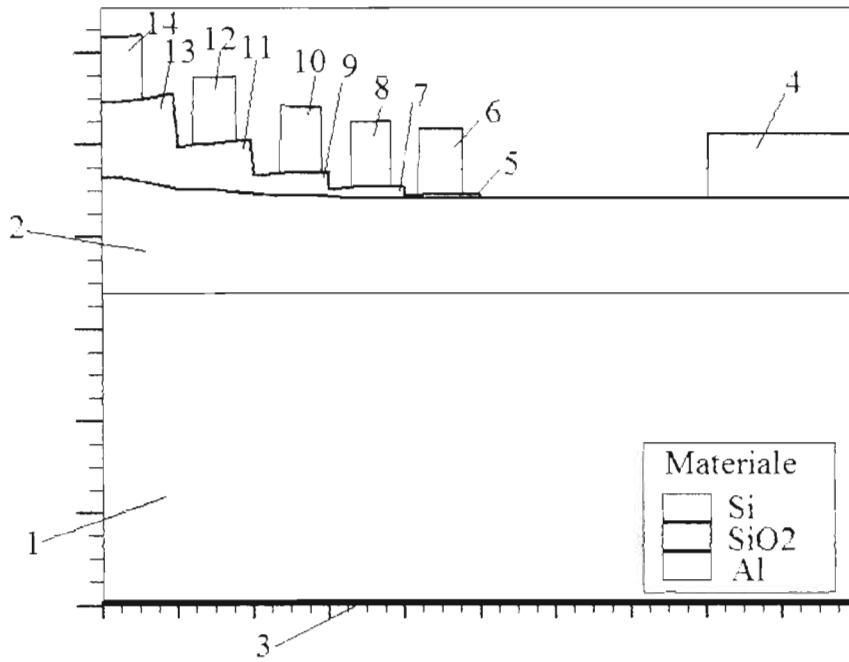


Fig. 7.

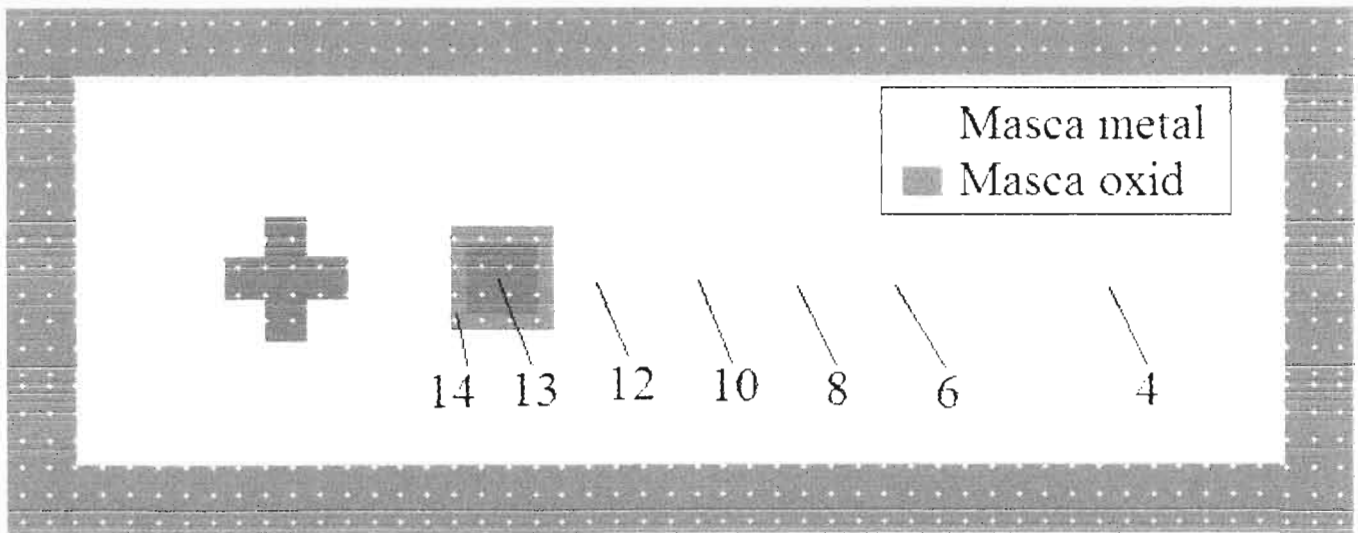


Fig. 8.

Handwritten signature