



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2019 00030

(22) Data de depozit: 22/01/2019

(41) Data publicării cererii:
30/12/2019 BOPI nr. 12/2019

(71) Solicitant:
• UNIVERSITATEA TEHNICĂ
"GHEORGHE ASACHI" DIN IAȘI,
STR. PROF. DR. DOC. DIMITRIE
MANGERON NR. 67, IAȘI, IS, RO

(72) Inventatori:
• ANDRIESEI CRISTIAN,
BD.ROMAN MUȘAT, BL.38, AP.101,
ROMAN, NT, RO

(54) POARTĂ LOGICĂ XOR ÎN TEHNOLOGIE CMOS

(57) Rezumat:

Invenția se referă la un circuit care implementează în tehnologie CMOS operația logică "XOR". Circuitul logic, conform invenției, cuprinde două tranzistoare (2 și 3) de tip PMOS dispuse în paralel, un port (X) de intrare conectat la terminalul sursă (S) al primului tranzistor (2) și terminalul grilă (G) al celui de-al doilea tranzistor (3), un alt port (Y) de intrare conectat la terminalul grilă (G) al primului tranzistor (2) și terminalul sursă (S) al celui de-al doilea tranzistor (3), iar terminalele drenă (D) ale ambelor tranzistoare (2 și 3) sunt conectate împreună la un port de ieșire al circuitului care furnizează rezultatul operației logice XOR și la o rezistență (4) conectată la masa circuitului.

Revendicări: 2
Figuri: 8

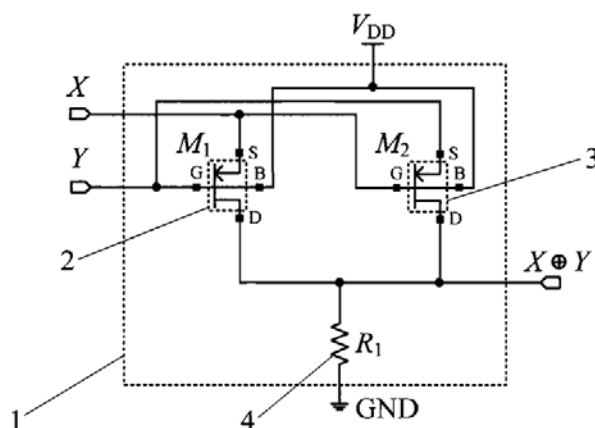
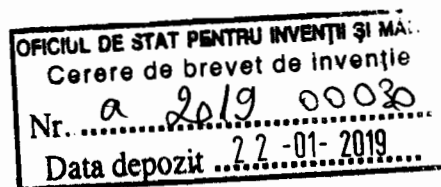


Fig. 4





Poartă logică XOR în tehnologie CMOS

Invenția **se referă la** un circuit care implementează în tehnologie CMOS operația logică “XOR”, cunoscută și ca “SAU exclusiv” (*exclusive OR*).

Simbolul standard pentru poarta logică “XOR” cu două intrări (notate X și Y) este ilustrat în Figura 1 (a), simbolul complet incluzând și pinii aferenți alimentării circuitului logic de la sursa de alimentare de curent continuu (notată V_{DD}) fiind redat în Figura 1 (b). Operația logică XOR se efectuează la nivel de bit, are expresia $X \oplus Y = \bar{X} \cdot Y + X \cdot \bar{Y}$ și cu funcționalitatea redată în Tabelul 1 (tabela logică de adevăr), unde:

- ‘ \oplus ’ semnifică operația logică XOR aplicată semnalelor binare X și Y (biți);
- \bar{X} semnifică negația valorii bitului X (fizic se folosește un inversor);
- ‘ \cdot ’ semnifică operația logică ȘI (AND), fizic folosindu-se o poartă logică ȘI;
- ‘+’ semnifică operația logică SAU (OR), fizic folosindu-se o poartă logică SAU;
- ‘ \bar{X} ’ semnifică inversarea nivelului logic avut de X, echivalent negației logice (*NOT*).

Implementarea directă cu porți logice a operației logice XOR, în concordanță cu tabela logică de adevăr, impune necesitatea utilizării a două porți logice inversoare (*NOT*), două porți logice ȘI, o poartă logică SAU, așa cum este ilustrat în Figura 2. O asemenea implementare are următoarele dezavantaje:

1. Poarta XOR utilizează 3 tipuri de porți logice diferite (NOT, OR, AND), ineficient din perspectiva implementării hardware, o implementare optimă într-un proces automatizat de proiectare făcând uz doar de un singur tip de poartă logică (alături de inversor).

2. Poarta XOR utilizează porți logice elementare care nu au ieșire negată ceea ce impune utilizarea unor inversoare suplimentare, deoarece $\bar{\bar{X}} = X$ (legea dublei negații cunoscută și ca

teorema involuției [1] pag. 43), cu efect negativ asupra ariei, consumului de putere și întârzierii. O alternativă ar fi rescrierea expresiei logice care define operația XOR pentru a o implementa numai cu porți având ieșirea negată, mai precis porți ȘI-NU (NAND), ca în Figura 3.

3. Pentru ambele implementări posibile redată în Figurile 2 și 3, calea cea mai lungă de semnal de la intrarea (X sau Y) către ieșire include 3 porți logice (inversor, ȘI, OR, respectiv ȘI-NU \rightarrow ȘI-NU \rightarrow ȘI-NU) deci la ieșire rezultatul operației $X \oplus Y$ se obține după 3 timpi de propagare prin poartă, unde timpul de propagare notat cu t_p reprezintă timpul necesar comutației porții logice de la un nivel logic în cel opus ('0' \rightarrow '1' sau '1' \rightarrow '0').

Această implementare directă a expresiei logico-matematice, corespunzând unei abordări sistemice, este lentă, fiind dezavantajoasă din considerente de performanțe în frecvență (viteză mai mică de lucru) și de consum de putere (necesitând mai multe tranzistoare). Reducerea acestei întârzieri intrare – ieșire este de maxim interes în criptografia hardware unde o arhitectură mai compactă care asigură întârzieri mici este mai rezistentă la atacuri criptografice. Din acest motiv, o regândire a implementării operației logice XOR direct la nivel de tranzistor ar putea ameliora timpii de comutație, cu efecte benefice asupra ariei, întârzierilor și puterii consumate. În acest sens, au fost deja propuse diverse implementări hardware gândite la nivel de tranzistor [2-8] și care ar asigura îmbunătățiri punctuale, funcție de parametrii de proiectare prioritari: arie, întârzieri, aplicație particulară (circuite optice), rezistență la atacuri criptografice, etc.

Problema tehnică pe care o rezolvă invenția o constituie implementarea în tehnologie CMOS a operației logice "XOR" cu un număr mai mic de tranzistoare față de implementările practice actuale.

Blocul 1 care implementează operația logică $X \oplus Y$ cu X și Y intrări de semnal (biți), conform invenției, constă dintr-un bloc 2 implementat cu un tranzistor PMOS având terminalul sursă S conectat la portul de intrare X și terminalul grilă G conectat la portul de intrare Y ale circuitului 1, un bloc 3 implementat cu un tranzistor PMOS având terminalul sursă S conectat la portul de intrare Y și terminalul grilă G conectat la portul de intrare X ale circuitului logic 1, ambele blocuri având terminalul grilă B (*bulk*) conectat la tensiunea de alimentare a circuitului notată V_{DD} iar terminalul drenă D , de pe care se prelevează ieșirea blocului 1 cu rezultatul operației $X \oplus Y$, conectat la masa GND a blocului 1 prin intermediul blocului 4 implementat cu o rezistență.

Invenția poate fi exploatată industrial în toate aplicațiile hardware care fac uz de circuite logice, cum ar fi automate programabile, criptografie hardware, codare.

Circuitul logic, conform invenției, prezintă următoarele avantaje:

- implementarea operației logice “XOR” cu numai două tranzistoare;
- absența tensiunii de alimentare a circuitului, circuitul fiind **autopolarizat**, polarizarea tranzistoarelor făcându-se prin intermediul semnalelor de intrare ale circuitului (X, Y);
- simplitate.

Se dă în continuare un exemplu de aplicare a invenției, în legătură cu Figurile 4 - 7, care reprezintă:

- Figura 4, schema principială a circuitului logic propus, unde rezistența R_1 este pasivă;
- Figura 5, schema principială a circuitului logic propus, cu rezistența R_1 implementată activ;
- Figura 6, rezultate de simulare care atestă funcționarea corectă a circuitului, timpii de tranziție dintr-un nivel logic în altul fiind stabiliți la 1 ns;
- Figura 7, rezultate de simulare care atestă funcționarea corectă a circuitului, timpii de tranziție dintr-un nivel logic în altul fiind stabiliți la 10 ns pentru evidențierea modului în care tranzistoarele urmăresc tranziția de la intrarea circuitului;
- Figura 8, rezultate de simulare care atestă dependența timpului de tranziție dintr-un nivel logic în altul, la ieșirea circuitului, funcție de valoarea rezistenței.

Circuitul logic 1 implementat în tehnologie CMOS, conform invenției, este ilustrat în Figura 4 și constă dintr-un tranzistor 2 (M_1) de tip PMOS, un tranzistor 3 (M_2) de tip PMOS și o rezistență 4 (R_1).

Grila G a tranzistorului 2 este conectată la intrarea de semnal Y a circuitului 1. Sursa S a tranzistorului 2 este conectată la intrarea de semnal X a circuitului 1, ținând locul tensiunii de polarizare (de unde și capabilitatea de autopolarizare a circuitului). Tranzistorul 2 este caracterizat complet din punct de vedere constructiv prin parametrii de proiectare W_2 și L_2 ce cuantifică dimensiunea tranzistorului. Pentru funcționarea corectă a circuitului 1, al patrulea terminal al tranzistorului 2 identificat în Figura 4 cu B (*bulk*) este conectat la tensiunea de alimentare V_{DD} a circuitului 1 care trebuie să fie egală cu tensiunea corespunzătoare nivelului logic ‘1’ aplicat la oricare din intrările X și Y ale circuitului 1.

Grila G a tranzistorului 3 este conectată la intrarea de semnal X a circuitului 1. Sursa S a tranzistorului 3 este conectată la intrarea de semnal Y a circuitului 1, ținând locul tensiunii de polarizare (de unde și capabilitatea de autopolarizare a circuitului). Tranzistorul 3 este caracterizat complet din punct de vedere constructiv prin parametrii de proiectare W_3 și L_3 ce cuantifică dimensiunea tranzistorului. Pentru funcționarea corectă a circuitului 1, al patrulea terminal al tranzistorului 3 identificat în Figura 4 cu B (*bulk*) este conectat la tensiunea de alimentare V_{DD} a circuitului 1 care trebuie să fie egală cu tensiunea corespunzătoare nivelului logic '1' aplicat la oricare din intrările X și Y ale circuitului 1.

Rezistența 4 asigură calea către masa circuitului a curentului care circulă prin tranzistoarele 2 și 3 când măcar unul este în conducție (saturat). Valoarea acestei rezistențe este stabilită în timpul proiectării funcție de specificațiile impuse, fiind în strânsă corelație cu dimensiunile tranzistoarelor 2 și 3. Rezistența poate fi implementată și activ cu tranzistor (M_3), așa cum este ilustrat în Figura 5, situație în care este necesară o tensiune suplimentară de aplicat grilei G tranzistorului, notată V_G .

Această topologie este dezvoltată pornind de la tabela logică de adevăr a operației logice "XOR" din Tabelul 1 în care se observă că ieșirea este '0' când intrările X și Y au același nivel logic (fie ambele '0', fie ambele '1') și '1' când intrările X și Y au nivele logice opuse. Ținând cont de principiul de funcționare al porții ȘI autopolarizate propusă spre brevetare [9] unde poarta are '1' la ieșire când intrările sunt ambele '1', pentru poarta XOR este deci suficient ca prin implementarea particulară pe care o are să poată detecta egalitatea valorilor logice ale celor două intrări. Din acest motiv, circuitul logic propus pentru operația XOR face uz de poarta logică ȘI din [9], în variantă PMOS, utilizând două asemenea porți dar nu distinct (în paralel) ci au rezistența 4 comună, fapt care permite detectarea de către circuit a valorilor logice opuse pentru perechea de intrare {X, Y}. În plus, circuitul este autopolarizat, polarizarea tranzistoarelor făcându-se chiar prin intermediul semnalelor aplicate la intrare, ceea ce facilitează și funcționarea particulară a tranzistoarelor. Utilizarea tranzistoarelor PMOS obligă proiectantul la a utiliza o tensiune de alimentare, egală cu cea aferentă nivelului '1' pentru semnalele de intrare, întrucât a doua poartă a tranzistorului PMOS, notată B (*bulk*) trebuie conectată în permanență la potențialul cel mai ridicat din circuit. Conectarea acestui terminal B la sursa S și implicit la unul din semnalele de intrare X sau Y, funcție de tranzistor, afectează negativ funcționarea circuitului, perturbându-se o tranziție logică și implicit tabela logică de adevăr nu mai este respectată. Din acest motiv poarta B este conectată galvanic la V_{DD} . Cu toate acestea, circuitul are avantajul că tensiunea de alimentare este utilizată doar pentru a menține

grila B la potențialul cel mai ridicat, nefiind efectiv vorba de un consum de curent pentru funcționarea propriu zisă a tranzistorului, ceea ce favorizează utilizarea unei baterii pentru V_{DD} .

O implementare a circuitului cu tranzistoare NMOS în locul celor două PMOS ar afecta valoarea tensiunii aferente nivelului '1' care ar fi mai mică decât tensiunea maximă V_{DD} cu câteva sute de milivolți. Tranzistoarele PMOS permit ca nivelului '1' să-i corespundă chiar tensiunea V_{DD} , circuitul fiind deci optim construit din acest punct de vedere.

Funcționarea în domeniul timp al acestui circuit logic este ilustrată în Figura 6 pentru timp de tranziție dintr-un nivel logic în altul de 1ns, toate cele patru combinații posibile fiind surprinse pentru semnalele de intrare, remarcându-se funcționarea ca și poartă "XOR" în concordanță cu tabela de adevăr a porții "XOR" (Tabel 1). În Figura 7 se ilustrează aceleași simulări ale circuitului dar pentru timp de tranziție mai mare, respectiv 10 ns.

O particularitate a acestui circuit care se constituie și ca avantaj față de de poarta logică ȘI [9] este că necesită o valoare mai mică a rezistenței, ceea ce favorizează timpi de tranziție mai mici la ieșire și implicit întârzieri mai mici într-un circuit mai complex. Figura 8 ilustrează modificarea duratei tranziției din '1' în '0' funcție de valoarea rezistenței.

REFERINȚE

- [1] Charles H. Roth, Jr., Larry L. Kinney, *Fundamentals of Logic Design*, Ed. a 7-a, Cengage Learning, 2014
- [2] Ricky F. Bitting, *XOR Circuit*, Brevet US006727728, 2004, <http://www.freepatentsonline.com/6727728.pdf>
- [3] Tanja Roemer, Norbert Janssen, *XOR Circuit*, Brevet US007358769, 2008, <http://www.freepatentsonline.com/7358769.pdf>
- [4] Mark W. Mcdermott, John E. Turner, *Configurable XNOR/XOR element*, Brevet US005568067, 1996, <http://www.freepatentsonline.com/5568067.pdf>
- [5] David William Boerstler, Juan Antonio Carballo, Robert Kevin Montoye, *Fast, symmetrical XOR/XNOR gate*, Brevet US006573758, 2003, <http://www.freepatentsonline.com/6573758.pdf>
- [6] Jin-uk Shin, Lancelot Y. Kwong, Gaurav Shrivastav, *High-speed static XOR circuit*, Brevet US008324932, 2012, <http://www.freepatentsonline.com/8324932.pdf>
- [7] Ivan E. Sutherland, *Inverse toggle XOR and XNOR circuit*, Brevet US005861762, 1999, <http://www.freepatentsonline.com/5861762.pdf>
- [8] Jianping Xu, Fabrice Paillet, Tanay Karnik, *Symmetric and non-stacked XOR circuit*, Brevet US007088138, 2006, <http://www.freepatentsonline.com/7088138.pdf>
- [9] Cristian Andriesei, *Circuit logic CMOS autopolarizat*, Aplicație de brevet A 01075/10.12.2018, 2018

REVENDICĂRI

1. Circuit logic CMOS cu două intrări și o ieșire de semnal **caracterizat prin aceea că** pentru implementarea operației logice “XOR” este implementat cu două tranzistoare 2 și 3 de tip PMOS dispuse în paralel, cu portul X de intrare conectat la terminalul sursă S al tranzistorului 2 și terminalul grilă G al tranzistorului 3, cu portul Y de intrare conectat la terminalul grilă G al tranzistorului 2 și terminalul sursă S al tranzistorului 3, terminalele drenă D ale ambelor tranzistoare fiind conectate împreună la portul de ieșire al circuitului care furnizează rezultatul operației logice XOR și la rezistența 4 conectată la masa circuitului.

2. Circuit logic CMOS cu două intrări și o ieșire de semnal **caracterizat prin aceea că** pentru implementarea operației logice “XOR” este implementat cu două tranzistoare 2 și 3 de tip PMOS dispuse în paralel, cu portul X de intrare conectat la terminalul sursă S al tranzistorului 2 și terminalul grilă G al tranzistorului 3, cu portul Y de intrare conectat la terminalul grilă G al tranzistorului 2 și terminalul sursă S al tranzistorului 3, terminalele drenă D ale ambelor tranzistoare fiind conectate împreună la portul de ieșire al circuitului și drena tranzistorului 4 de tip NMOS având terminalul sursă S conectat la masa circuitului GND și pe grila căruia se aplică o tensiune de polarizare.

FIGURI

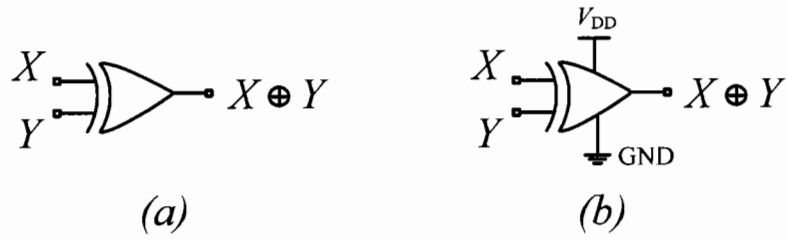


Figura 1

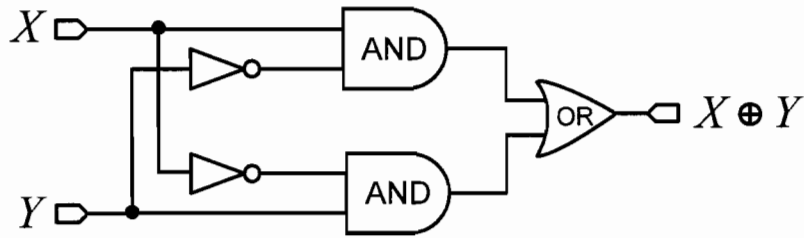


Figura 2

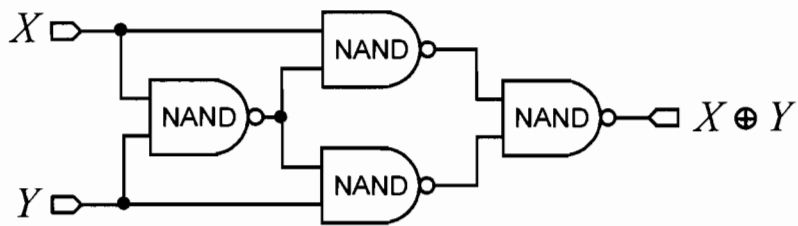


Figura 3

8

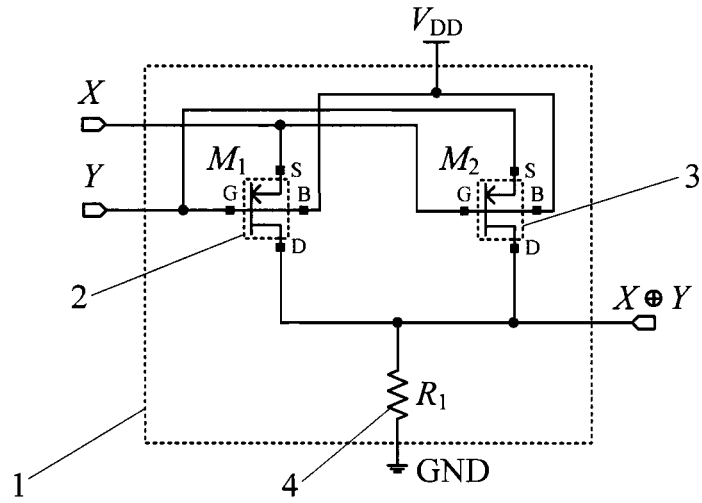


Figura 4

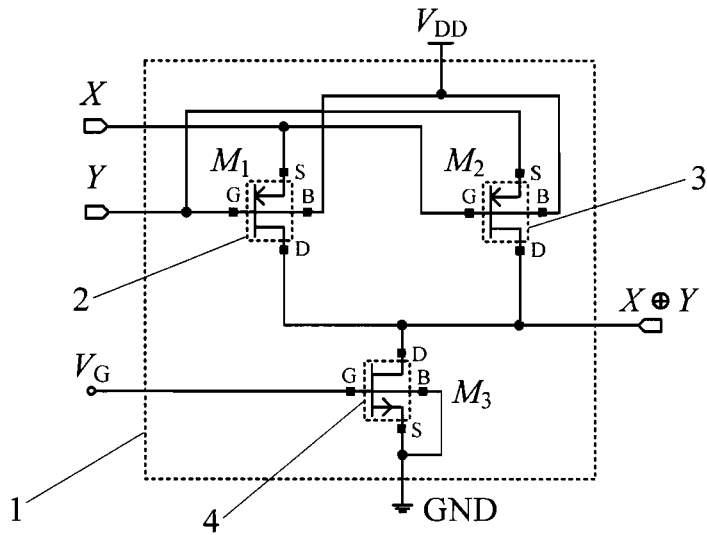


Figura 5

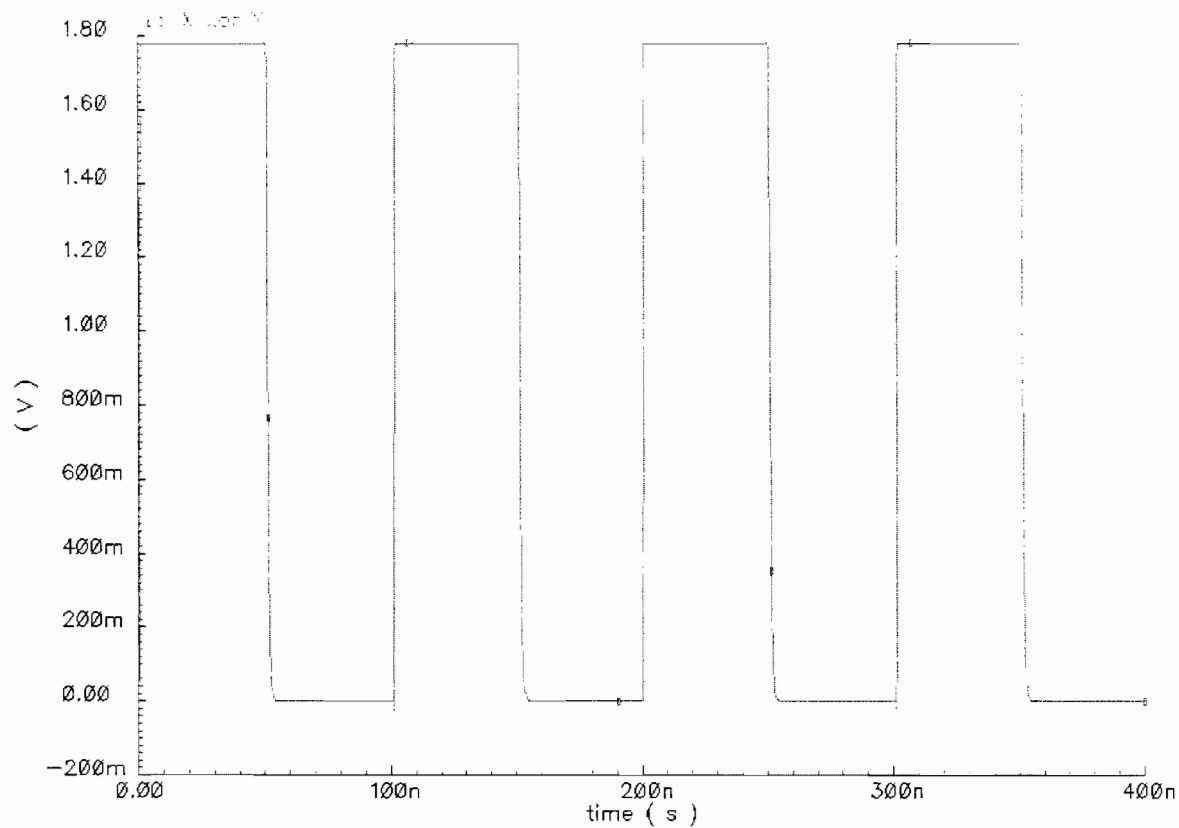
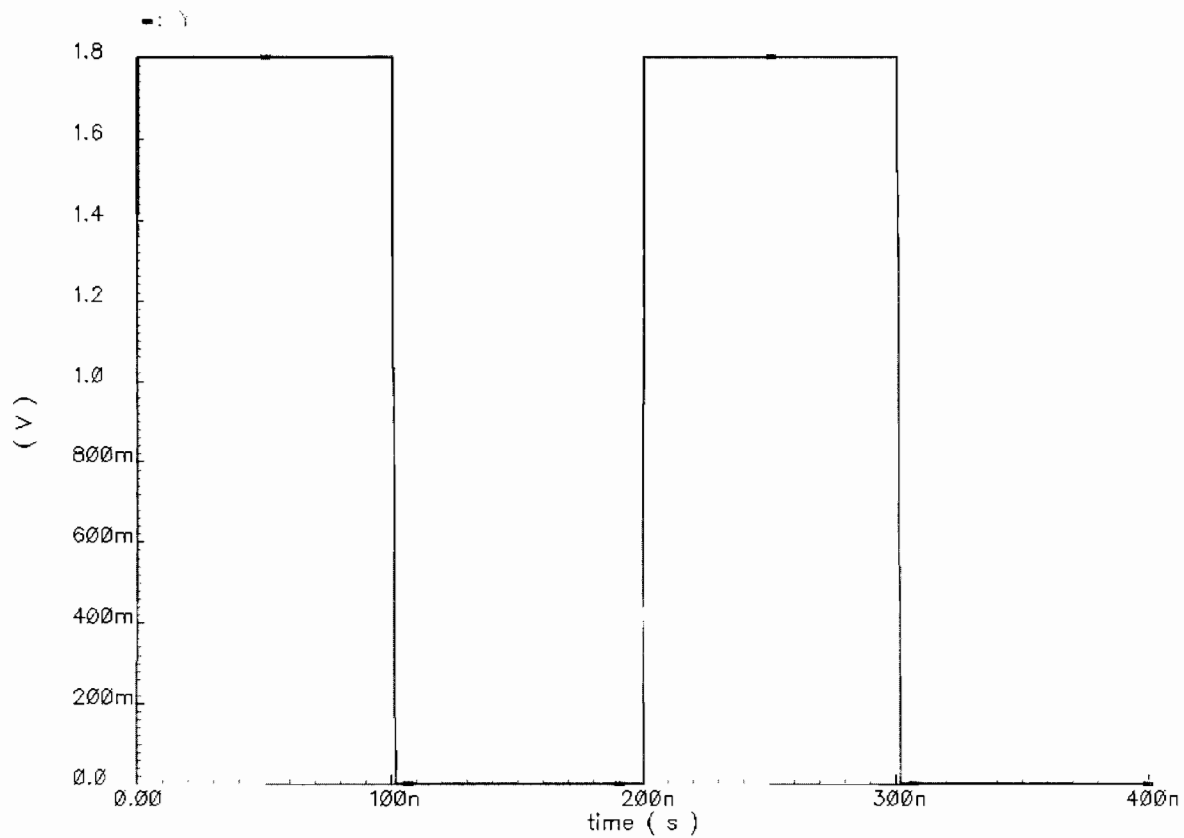


Figura 6

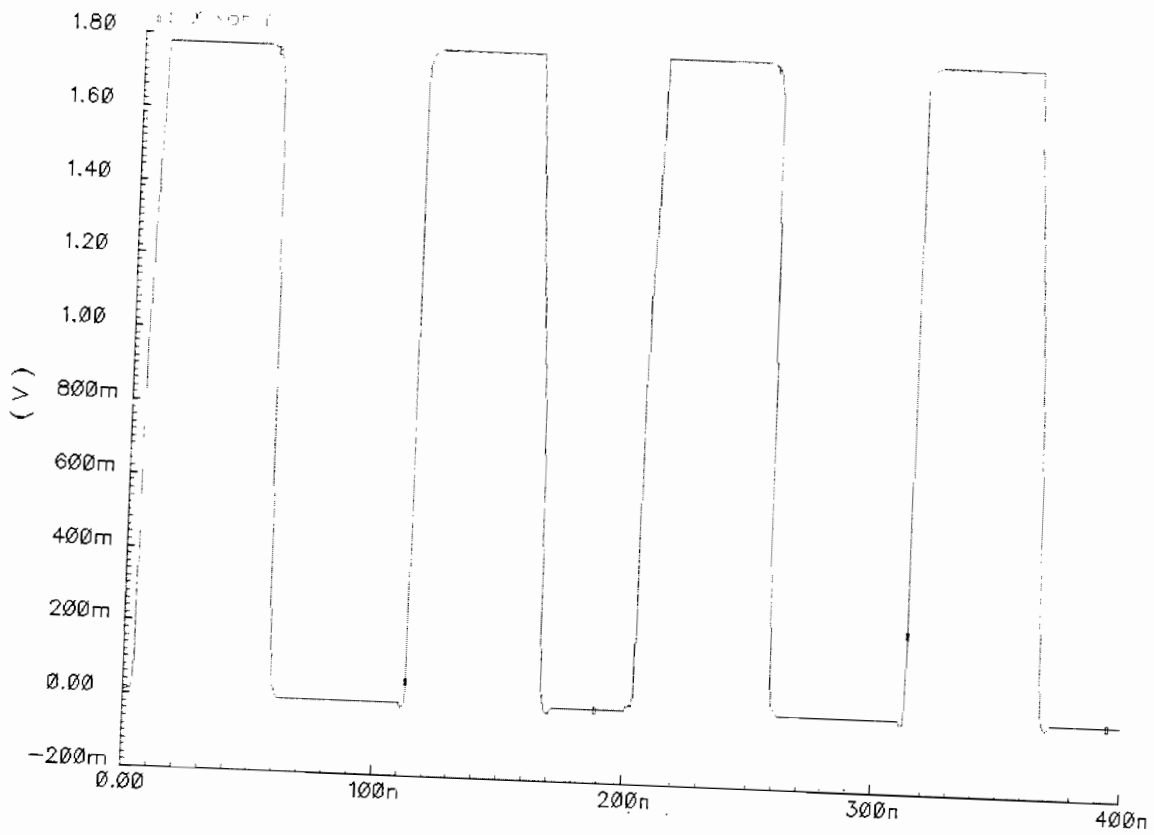
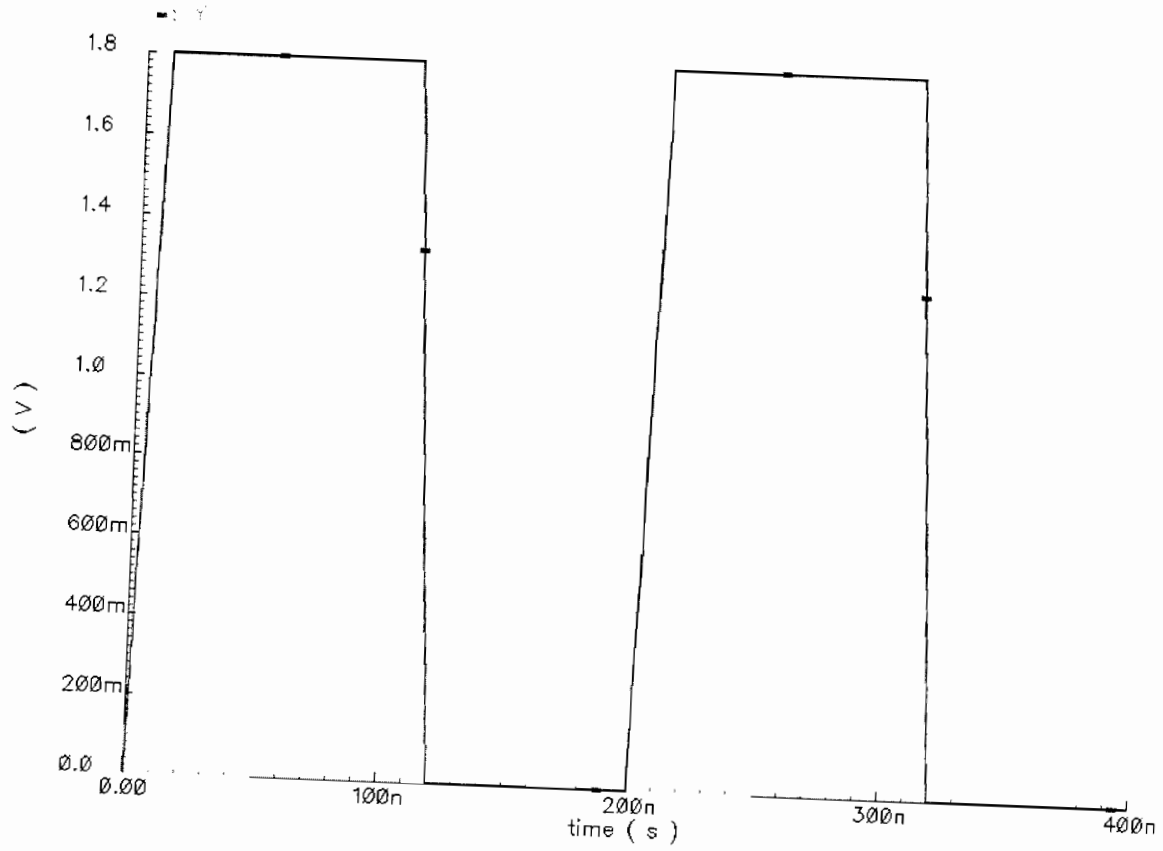


Figura 7

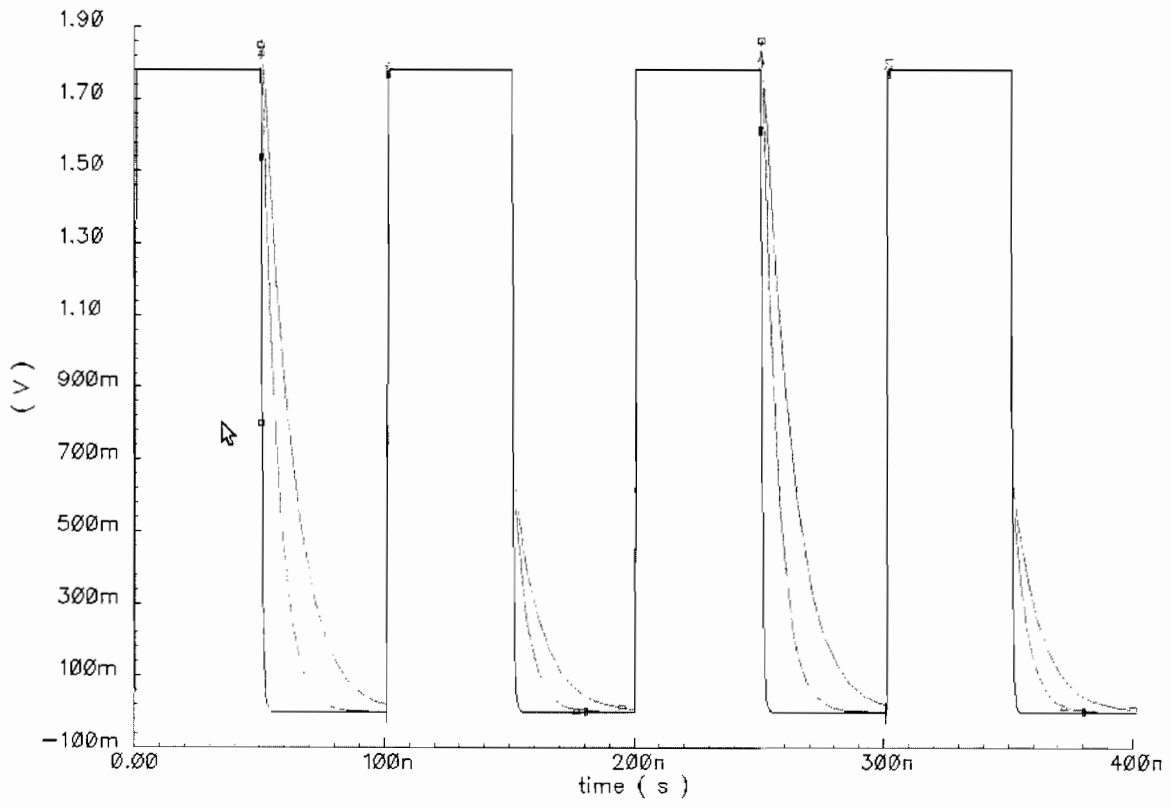


Figura 8

TABELE

X	Y	$X \oplus Y$
0	0	0
0	1	1
1	0	1
1	1	0

Tabel 1