



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2018 01075

(22) Data de depozit: 10/12/2018

(41) Data publicării cererii:
30/10/2019 BOPI nr. 10/2019

(71) Solicitant:
• UNIVERSITATEA TEHNICĂ "GHEORGHE
ASACHI" DIN IAȘI, STR. PROF. DR. DOC.
DIMITRIE MANGERON NR. 67, IAȘI, IS, RO

(72) Inventatori:
• ANDRIESEI CRISTIAN,
BD.ROMAN MUȘAT, BL.38, AP.101,
ROMAN, NT, RO

(54) CIRCUIT LOGIC CMOS AUTOPOLARIZAT

(57) Rezumat:

Invenția se referă la un circuit care implementează operația logică "ȘI" în tehnologie CMOS. Circuitul logic, conform invenției, este alcătuit dintr-un bloc (2) implementat cu un tranzistor NMOS, având terminalele grilă și drenă utilizate ca porturi de intrare ale circuitului logic, la care se aplică două semnalele logice de intrare, X și Y, iar terminalul sursă, conectat la masa circuitului printr-o rezistență (3), este port de ieșire al circuitului logic, la nivelul căruia se obține semnalul logic XY.

Revendicări: 1
Figuri: 5

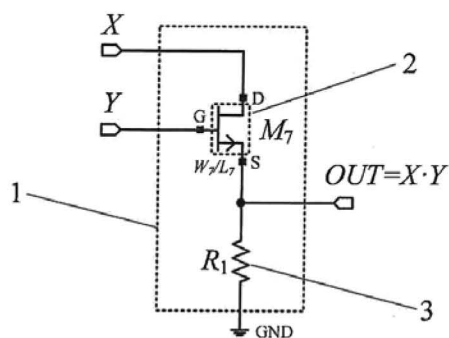
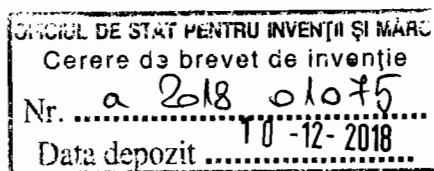


Fig. 3



83



Circuit logic CMOS autopolarizat

Invenția se referă la un circuit care implementează operația logică “ȘI” în tehnologie CMOS.

În domeniul circuitelor digitale, porțile logice elementare sunt utilizate la implementarea funcțiilor logice. Există 7 tipuri de porți logice elementare care implementează operațiile aritmetico-logice fundamentale din domeniul informaticii (corespondentul din limba engleză fiind redat în paranteză): inversorul (*NOT*), “ȘI” (*AND*), “SAU” (*OR*), “ȘI-NU” (*NAND*), “SAU-NU” (*NOR*), “SAU-Exclusiv” (*XOR*), “SAU-Exclusiv negat” (*XNOR*). Simbolul porții logice “ȘI” care interesează acest brevet este redat în Figura 1 (a) iar funcționalitatea în Tabelul 1. La reprezentarea porții logice se omite de regulă figurarea pinilor circuitului fizic aferenți alimentării circuitului, mai precis pinul conectat galvanic la plusul tensiunii de alimentare $+V_{DD}$ și respectiv pinul de masă al circuitului întotdeauna conectat galvanic fie la minusul sursei de alimentare fie la masa semnalului/semnalelor de intrare. Chiar dacă lipsesc din reprezentarea uzuală, acești pini se consideră că există implicit, o reprezentare mai corectă a porții logice “ȘI” fiind ilustrată în Figura 1 (b), un detaliu important de luat în calcul pentru a ilustra avantajul acestui brevet.

Există două perspective în ceea ce privește proiectarea circuitelor digitale. Prima operează la nivel de poartă logică [1][2], inclusiv a celor care fac uz de arii logice programabile (cunoscute ca FPGA [3]), fiind similară unei proiectări la nivel de sistem în care nu interesează implementarea la nivel de tranzistor. O a doua abordare posibilă constă în proiectarea directă la nivel de tranzistor, uzitată în aplicațiile dedicate ale Microelectronicii [4][5] cum ar fi proiectarea de memorii, convertoare analog-digital (AD) și digital-analog (DA), microcontrolere, numărătoare, circuite criptografice etc. În plus, contrar tendinței de simplificare a structurii logice în aplicațiile digitale comerciale actuale, pentru asigurarea unui

cost mai mic, în aplicații de criptografie s-a ajuns la complicarea intenționată a structurii interne a porții elementare în scopul mascării operațiilor matematice ale algoritmului de securitate implementat hardware [6][7].

La nivel de tranzistor, poarta inversoare (*NOT*) este singura care necesită două tranzistoare, toate celelalte tipuri de porți logice elementare fiind implementate cu mai mult de două tranzistoare. Din considerente de programabilitate la nivel de sistem, mai ales când se folosesc arii FPGA, proiectanții de circuite digitale operează cu porțile logice care au ieșirea negată (*NOT*, *NOR*, *NAND*), ultimele două necesitând 4 tranzistoare (PMOS și NMOS împerecheate). Consecința directă este că pentru implementarea unei operații logice elementare fără negație (*AND*, *OR*) trebuie introdus un inversor suplimentar, cu dezavantajul creșterii numărului de tranzistoare la 6, respectiv ariei și puterii dinamice disipate. Aceasta dublă negație înseamnă $AND = NAND + NOT$ (două porți logice) și similar $OR = NOR + NOT$ (de asemenea două porți logice). Operația logică *XOR*, cea mai uzitată în codarea și criptarea informației și reprezentând o singură instrucțiune atât în programarea microcontrolerelor în limbaj cod mașină cât și în programarea C/C++, rămâne în continuare cea mai costisitoare operație din punct de vedere hardware, fiind implementată cu 4 porți *NAND* sau 5 porți *NOR*. Acesta este și motivul pentru care identificarea unei structuri mai compacte la nivel de tranzistor a rămas o problemă deschisă în cercetarea inginerescă [8].

Implementarea actuală uzitată practic pentru poarta “ȘI” este ilustrată în Figura 2.

Problema tehnică pe care o rezolvă invenția o constituie implementarea în tehnologie CMOS a operației logice “ȘI” cu un număr mai mic de tranzistoare față de implementările practice actuale.

Circuitul logic 1, conform invenției, constă dintr-un bloc 2 implementat cu un tranzistor NMOS având terminalele grilă și drenă utilizate ca porturi de intrare ale circuitului logic 1 la care se aplică semnalele logice de intrare X și Y, iar terminalul sursă, conectat la masa circuitului prin rezistența 3, este port de ieșire al circuitului logic 1 la nivelul căruia se obține semnalul logic de ieșire $X \cdot Y$.

Invenția poate fi exploatată industrial în toate aplicațiile hardware care fac uz de circuite logice.

Circuitul logic, conform invenției, prezintă următoarele avantaje:

- implementare a operației logice “ȘI” cu un singur tranzistor;
- absența tensiunii de alimentare a circuitului, circuitul fiind **autopolarizat**;
- simplitate.

Se dă în continuare un exemplu de aplicare a invenției, în legătură cu Figurile 3 - 5, care reprezintă:

- Figura 3, schema principială a circuitului logic propus;
- Figura 4, variantă alternativă de implementare a rezistenței 3 din circuitul logic;
- Figura 5, rezultate de simulare care atestă funcționarea corectă a circuitului.

Circuitul logic 1 implementat în tehnologie CMOS, conform invenției, este ilustrat în Figura 3 și constă dintr-un tranzistor 2 (M_7) de tip NMOS și o rezistență 3 (R_1). Tranzistorul 2 are o singură intrare de semnal notată Y la care se aplică semnalul digital de intrare. Al doilea semnal de intrare aplicat circuitului este notat X și se aplică drenei tranzistorului 2, ținând locul tensiunii de polarizare (de unde și proprietatea de autopolarizare a circuitului). Tranzistorul 2 de tip NMOS este caracterizat complet din punct de vedere constructiv prin parametrii de proiectare W_7 și L_7 ce cuantifică dimensiunea tranzistorului. Al patrulea terminal al tranzistorului 2, *bulk*-ul (nereprezentat în Figura 3), este conectat la masa circuitului, ceea ce facilitează neutilizarea unei tensiuni de alimentare a circuitului, masa circuitului logic fiind chiar masa semnalelor de intrare X și Y. Rezistența 3 asigură calea către masa circuitului a curentului care circulă prin tranzistorul 2 în cazul în care nivelul logic ‘1’ este aplicat la ambele intrări (X, Y). Valoarea acestei rezistențe este stabilită în timpul proiectării funcției de specificațiile impuse, fiind în strânsă corelație cu dimensiunea tranzistorului 2. Rezistența poate fi implementată și cu tranzistor, așa cum este ilustrat în Figura 4, situație în care este necesară o tensiune suplimentară de aplicat grilei tranzistorului M_8 care simulează rezistența 2.

Această structură unică de autopolarizare este dezvoltată (și favorizată în același timp) exclusiv pe baza tabelii logice de adevăr a porții “ȘI” în care se observă că în 3 situații din 4 este suficient ca un semnal de intrare să aibă valoarea ‘0’ pentru ca ieșirea circuitului să fie de asemenea ‘0’, însemnând deci că dacă circuitul nu este alimentat în aceste 3 situații ieșirea este ‘0’. Circuitul propus este superior schemei clasice din Fig. 2 unde se observă că circuitul este alimentat în permanență, indiferent de nivelele logice aplicate la intrarea circuitului. Autopolarizarea este facilitată și de utilizarea tranzistorului NMOS, modificarea circuitului în

scopul utilizării unui tranzistor PMOS eliminând proprietatea de autopolarizare întrucât bulk-ul tranzistorului PMOS trebuie conectat galvanic, în permanență, la potențialul cel mai ridicat din circuit, mai precis la plusul tensiunii de alimentare (echivalentul lui '1' pentru semnalele logice de intrare). Din acest motiv este imperios necesară utilizarea tranzistorului de tip NMOS pentru implementarea acestui circuit logic.

Funcționarea în domeniul timp al acestui circuit logic este ilustrată în Figura 5, toate cele patru combinații posibile fiind surprinse pentru semnalele de intrare, remarcându-se funcționarea ca și poartă "ȘI" în concordanță cu tabela de adevăr a porții "ȘI" (Tabel 1).

REFERINȚE

- [1] Charles H. Roth, Jr., Larry L. Kinney, *Fundamentals of Logic Design*, Ed. a 7-a, Cengage Learning, 2014
- [2] M. Morris Mano, Michael D. Ciletti, *Digital design: with an introduction to the Verilog HDL*, Ed. a 5-a, Pearson Education, Inc., 2013
- [3] Pong P. Chu, *FPGA prototyping by VHDL examples*, John Wiley & Sons, Inc., 2008
- [4] Adel S. Sedra, *Microelectronic Circuits*, Oxford University Press, 2014
- [5] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation*, IEEE Press, 2008
- [6] Ingrid M. Verbaughede, *Dynamic and differential cmos logic with signal-independent power consumption to withstand differential power analysis*, Aplicație de brevet 20070057698 / 2004, <http://www.freepatentsonline.com/20070057698.pdf>
- [7] Ingrid M. Verbaughede, *Wave Dynamic Differential Logic*, Aplicație de brevet 20130120024 / 2012, <http://www.freepatentsonline.com/20130120024.pdf>
- [8] Hamed Naseri, Somayeh Timarchi, *Low-Power and Fast Full Adder by Exploring New XOR and XNOR Gates*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 26, Nr. 8, 1481-1493, Aug. 2018

REVENDICĂRI

1. Circuit logic CMOS **caracterizat prin aceea că** pentru implementarea operației logice “ȘI” este implementat cu un tranzistor 2 de tip NMOS având terminalele grilă și drenă utilizate ca porturi de intrare ale circuitului logic, terminalul sursă conectat la masa circuitului prin rezistența 3 fiind port de ieșire al circuitului logic, la nivelul căruia se obține rezultatul operației logice “ȘI”.

FIGURI

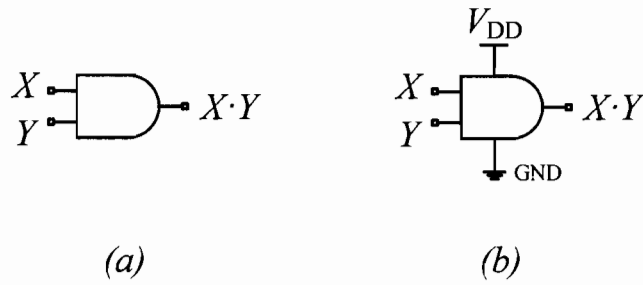


Figura 1

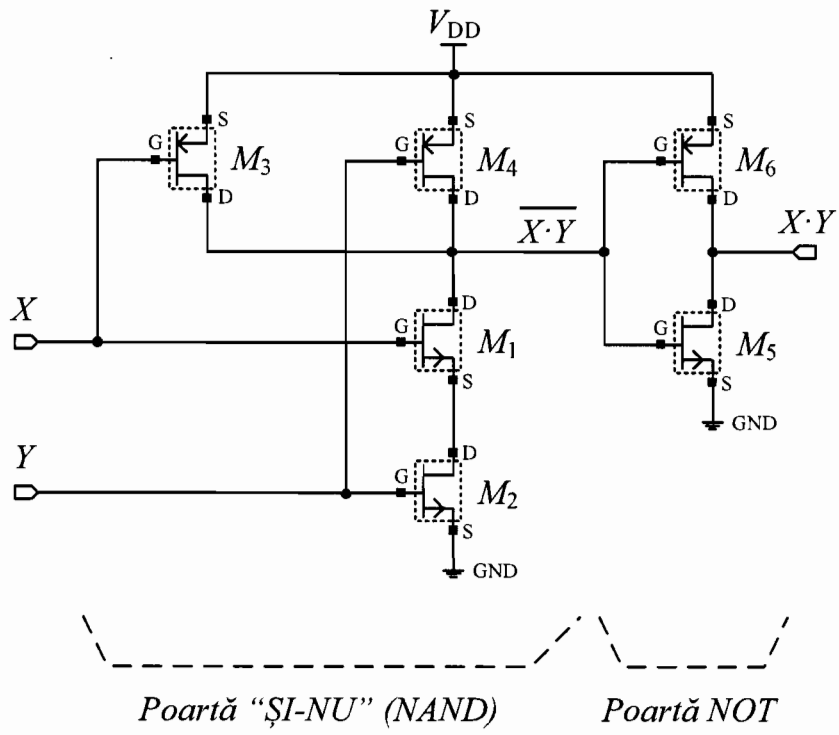


Figura 2

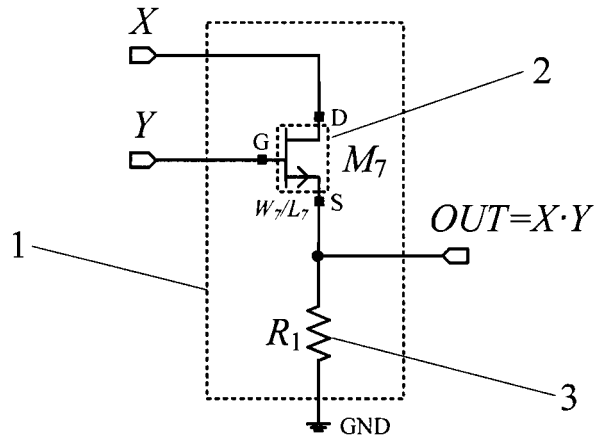


Figura 3

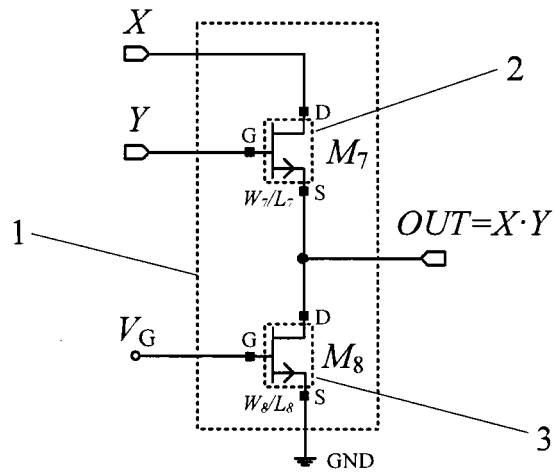


Figura 4

Up

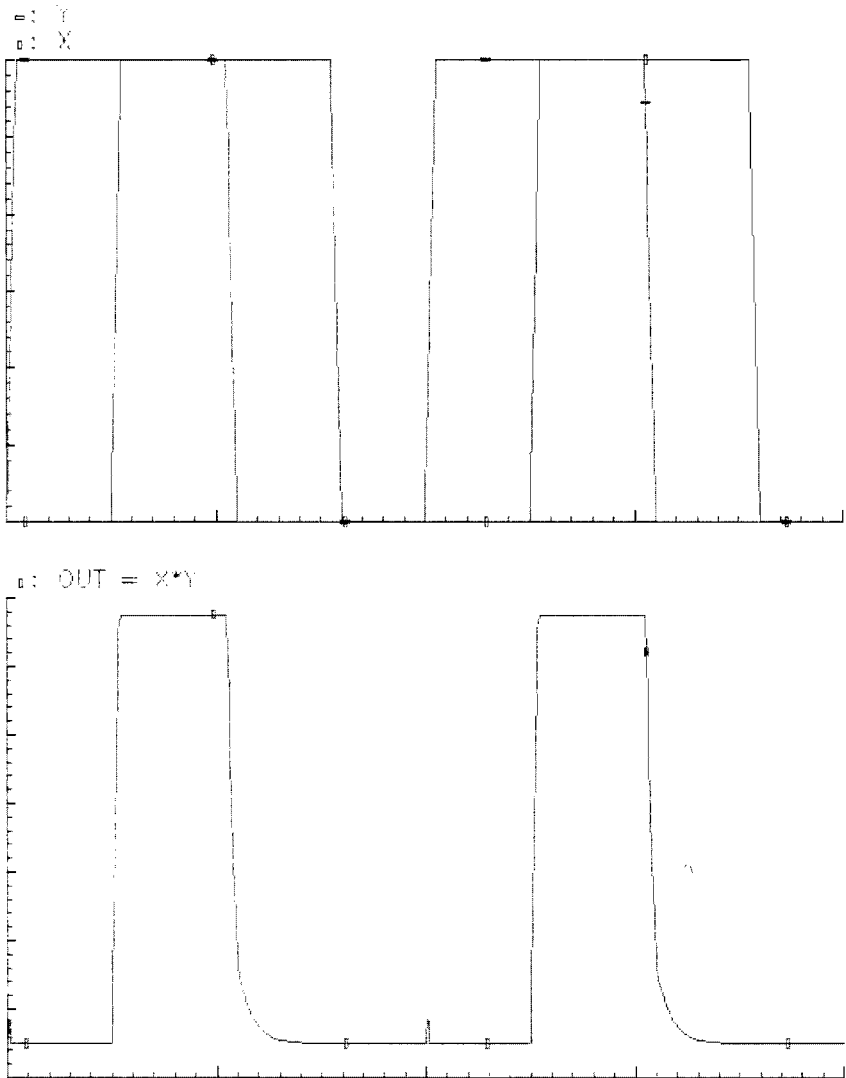


Figura 5

25

TABELE

X	Y	X·Y
0	0	0
0	1	0
1	0	0
1	1	1

Tabel 1