



(12) **CERERE DE BREVET DE INVENȚIE**

(21) Nr. cerere: **a 2018 00560**

(22) Data de depozit: **31/07/2018**

(41) Data publicării cererii:
29/03/2019 BOPI nr. **3/2019**

(71) Solicitant:
• **INSTITUTUL NAȚIONAL DE
CERCETARE-DEZVOLTARE PENTRU
FIZICA MATERIALELOR,
STR. ATOMIȘTILOR NR. 405A,
MĂGURELE, IF, RO**

(72) Inventatori:
• **BONI GEORGIA ANDRA, STR.FOCȘANI,
NR.10, BL.M193, SC.1, ET.6, AP.37,
SECTOR 5, BUCUREȘTI, B, RO;**

• **CHIRILA CRISTINA, DRUMUL TABEREI,
NR.48, BL.G113, ET.10, AP.64, SECTOR 6,
BUCUREȘTI, B, RO;**
• **HRIB LUMINIȚA, BULEVARD TIMIȘOARA,
NR.29, BL.C, SC.1, AP.12, ETAJ 2,
SECTOR 6, BUCUREȘTI, B, RO;**
• **DUMITRU VIOREL, INTRAREA BREBENEI
NR.3, BL.5, AP.6, 100077, PLOIEȘTI, PH,
RO;**
• **PINTILIE IOANA, STR. ALUNIȘ NR. 10,
MĂGURELE, IF, RO;**
• **PINTILIE LUCIAN, STR.ALUNIȘ NR.10,
MĂGURELE, IF, RO**

(54) **CIRCUITE LOGICE CU MEMORII CAPACITIVE**

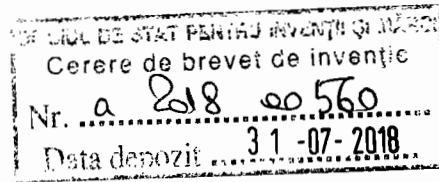
(57) Rezumat:

Invenția se referă la un circuit logic. Circuitul logic, conform invenției, este realizat pe baza unor memorii capacitive, formate din straturi feroelectrice și izolatoare, de exemplu, feroelectric-izolator-feroelectric, unde stratul feroelectric poate fi realizat din titanozirconat de plumb, iar izolatorul poate fi, de exemplu, titanat de stronțiu sau titanat de bariu, cu o grosime a stratului feroelectric în jur de 100 nm, și cu o grosime a

stratului izolator în jur de 20 nm, toate straturile fiind depuse, de exemplu, prin ablație laser în fascicul pulsant, pe un suport cristalin care poate fi, printre altele, siliciu sau titanat de stronțiu.

Revendicări: 4
Figuri: 5





Circuite logice cu memorii capacitive

Descrierea inventiei:

Prezenta inventie se refera la la circuite logice realizate cu memorii capacitive pe baza de straturi feroelectrice si izolatoare.

Circuitele logice realizeaza operatii logice implementand functii de tip Boolean. Circuitele logice realizate in prezent, ca de exemplu circuitele de tipul RTL (Rezistor-Tranzistor-Logica), circuitele de tipul DRL (Dioda-Rezistor-Logica), cele de tipul DTL (Dioda-Tranzistor-Logica) sau cele de tipul TTL (Tranzistor-Tranzistor-Logica) avand mai multe componente electronice, prezinta dificultati in a creste in continuare densitatea de integrare si nu contin in general si functia de memorare. De aceea, pe plan mondial s-au cautat diverse solutii de realizare a unor circuite logice pe baza de dispozitive feroelectrice.

Astfel, de exemplu US Patent 5,815,431 prezinta circuite logice ce incorporeaza un capacitor feroelectric pentru a memora valorile logice in caz de oprire a alimentarii cu energie electrica a circuitelor.

De asemenea, US patent 5,923,184 descrie circuite logice realizate prin combinarea unor tranzistori ferroelectrici cu tranzistori de tip MOSFET.

US Patent 6,894,549 B2 descrie circuite logice nevolatile care incorporeaza capacitari ferroelectrici si circuite aferente.

De asemenea, US Patent 7,428,565 B2 prezinta un circuit logic utilizand capacitari ferroelectrici.



Solutiile acestea insa rezolva doar partial problema, intrucat se bazeaza pe utilizarea mai multor dispozitive electronice conectate prin circuitele aferente, ceea ce mentine limitarea cresterii densitatii de integrare.

Prezenta inventie propune solutia de a utiliza elemente de memorie capacitiva pe baza de straturi feroelectrice si izolatoare pentru a realiza circuite logice. Operatiile logice sunt realizate chiar de elementul de memorie capacitiva care combina in acest fel memorarea cu procesarea informatiei.

Prezenta inventie este descrisa in continuare si in legatura cu figurile ce reprezinta:

Fig 1 descrie un element de memorie pe baza de straturi feroelectrice si izolatoare avand doua valori ale capacitatii asociate cu doua stari de memorare.

Fig 2 descrie structura constructiva si principiul de functionare al unui circuit logic cu memorii capacitiv pe baza de straturi feroelectrice si izolatoare capabil sa realizeze operatiunile logice de tip OR si NOR.

Fig 3 prezinta tabela de adevar a circuitului logic descris in fig 2

Fig 4 descrie structura constructiva si principiul de functionare al unui circuit logic cu memorii capacitiv pe baza de straturi feroelectrice si izolatoare capabil sa realizeze operatiunile logice de tip AND si NAND.

Fig 5 prezinta tabela de adevar a circuitului logic descris in fig 4

Elementele de memorie capacitiva ca cel prezentat in fig 1 si cu ajutorul carora sunt realizate circuitele logice descrise in figurile 2 si 4 sunt structuri de tipul feroelectric-izolator-feroelectric care prezinta doua valori ale capacitatii structurii. Straturile feroelectrice si izolatoare se depun prin metode fizico-chimice cum ar fi, spre exemplu, ablatia laser in fascicol pulsant (pulsed laser deposition, PLD). Materialul feroelectric poate fi titano-zirconat de plumb ($(\text{Pb}(\text{Zr},\text{Ti}))_3\text{-PZT}$), fara



a fi limitat la acesta, iar stratul izolator poate fi SrTiO_3 (STO), sau BaTiO_3 (BTO) fara a fi limitate la acestea. Straturile se depun succesiv pe un suport care poate fi STO sau Si, fara a fi limitate la acestea, iar electrozii care definesc structura de capacitor pentru multistratul feroelectric-izolator-feroelectric sunt din SrRuO_3 (SRO), fara a fi limitati la acest material, si se depun prin PLD sau alta metoda similara. Intr-un exemplu de structura feroelectric-izolator-feroelectric care functioneaza ca memorie capacitiva cu multiple stari de memorie stratul feroelectric este un strat de PZT cu o grosime, spre exemplu, de 100 nm, iar stratul de izolator este din STO, cu o grosime, spre exemplu, de 20 nm.

Fiecare valoare a capacitatii structurii este asociata cu o stare de memorare. Valorile diferite ale capacitatii structurii si deci, stările diferite de memorie, se obtin prin aplicarea unor pulsuri de tensiune cu amplitudini diferite. In functie de amplitudinea pulsului de tensiune o parte din polarizarea existenta in straturile feroelectrice se aliniaza paralel cu campul electric aplicat. Starea cu cea mai mica valoare a capacitatii L_c se obtine cand polarizarea din ambele straturi feroelectrice este orientata paralel cu campul electric aplicat din exterior. Starea cu cea mai mare valoare a capacitatii H_c se obtine cand polarizarile in cele doua straturi feroelectrice au orientari opuse. Cele doua stari ale capacitatii pot fi asociate cu doi biti Booleani, de exemplu starea de valoare mare a capacitatii H_c cu bitul Boolean 0 iar starea de valoare mica a capacitatii L_c cu bitul Boolean 1.

Astfel de elemente de memorie capacitiva bazate pe structuri de tipul ferroelectric-izolator-feroelectric pot fi utilizate pentru realizarea de circuite logice. De exemplu, asa cum este ilustrat in figura 2, pornind de la un element de memorie capacitiva aflat in starea initiala L_c (asociata cu bitul 1) prin aplicarea succesiva de pulsuri de tensiune cu amplitudine bine stabilita (corespunzatoare fixarii polarizarii structurii intr-una din stările L_c sau H_c) se poate aduce

Dr. Ionuț



3

Dr. Lucian Pintilie

elementul de memorie capacitiva intr-o stare finala ce corespunde tabelii de adevar (prezentate in fig 3) a unui circuit logic capabil sa realizeze operatiunile logice de tip OR si NOR.

De asemenea, asa cum este ilustrat in fig 4, pornind de la un element de memorie capacitiva aflat in starea initiala H_c (asociata cu bitul 0) prin aplicarea succesiva de pulsuri de tensiune cu amplitudine bine stabilita (corespunzatoare fixarii polarizarii structurii intr-una din starile L_c sau H_c) se poate aduce elementul de memorie capacitiva intr-o stare finala ce corespunde tabelii de adevar (prezentate in fig 5) a unui circuit logic capabil sa realizeze operatiunile logice de tip AND si NAND.

Citirea starii finale se face apoi in mod nedistructiv prin simpla masurare a capacitatii structurii.

Dr. Ionut Enculescu



4

Dr. Lucian Pintilie

Revendicari:

1. Un circuit logic **caracterizat prin aceea ca**
 - este realizat pe baza de memorii capacitive formate din straturi feroelectrice si izolatoare, spre exemplu feroelectric-izolator-feroelectric, unde feroelectricul poate fi, spre exemplu, titano-zirconat de plumb, iar izolatorul poate fi, spre exemplu, titanat de strontiu sau titanat de bariu, cu o grosime a stratului feroelectric in jur de 100 nm si cu o grosime a stratului izolator in jur de 20 nm, toate straturile fiind depuse, spre exemplu, prin ablatie laser in fascicol pulsant pe suport cristalin care poate fi, printre altele, siliciu sau titanat de strontiu
 - functioneaza prin aplicarea succesiva de pulsuri de tensiune cu amplitudine bine stabilita, care seteaza memoria capacitiva in stare de capacitate joasa sau ridicata, cele doua stari fiind asociate valorilor Boolene 1 sau 0
2. Un circuit logic ca cel descris in revendicarea 1 **caracterizat prin aceea ca** este capabil sa realizeze operatiunile logice de tip OR si NOR, dupa cum este prezentat in figurile 2 si 3.
3. Un circuit logic ca cel descris in revendicarea 1 **caracterizat prin aceea ca** este capabil sa realizeze operatiunile logice de tip AND si NAND, dupa cum este prezentat in figurile 4 si 5.
4. Un circuit logic ca cel descris in revendicarea 1 **caracterizat prin aceea ca** citirea starii finale se realizeaza prin masurarea capacitatii structurii de memorie capacitiva.



A handwritten signature in black ink, appearing to be "LP", located below the name Dr. Lucian Pintilie.

Figuri:

Fig 1

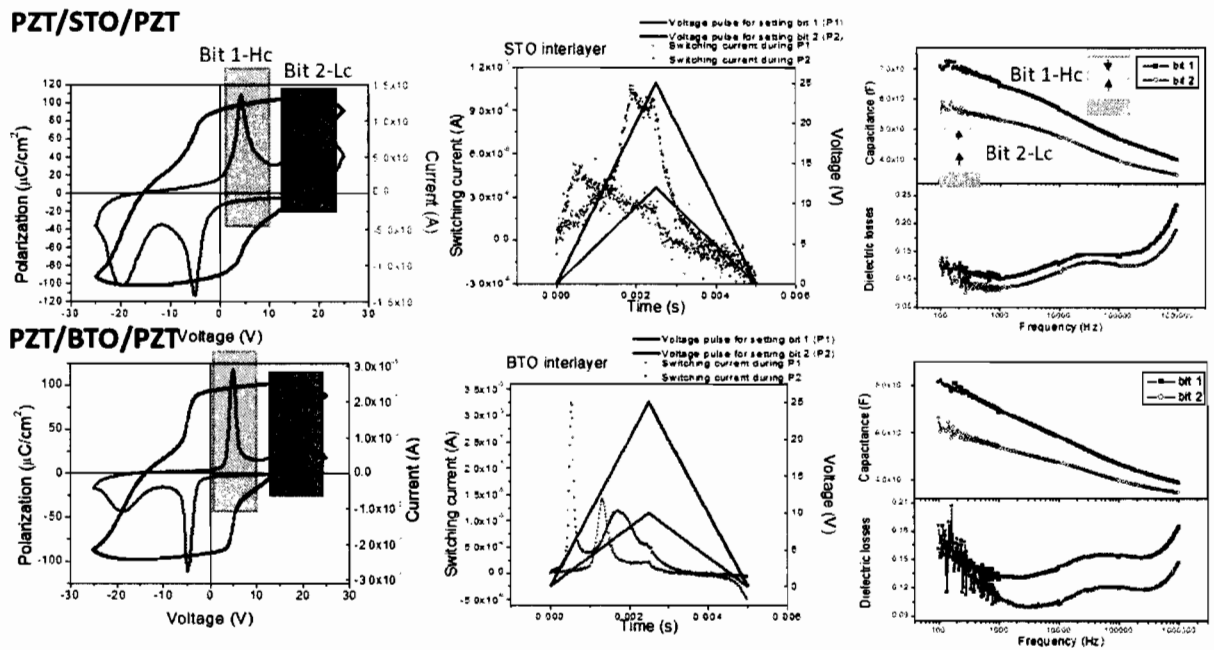


Fig 2

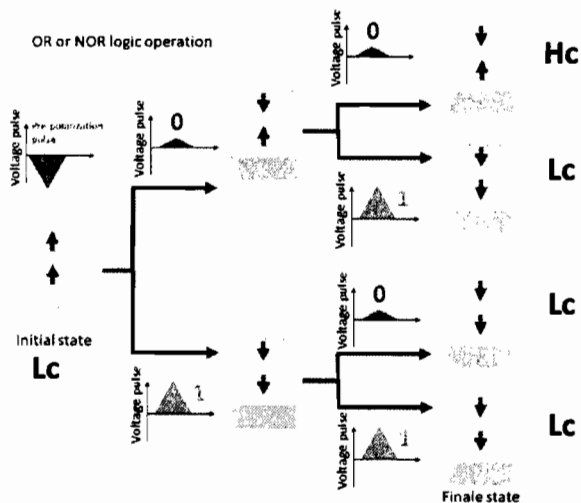


Fig 3

Input 1	Input 2	Final state	OR output	NOR output
0	0	Hc	0	1
0	1	Lc	1	0
1	0	Lc	1	0
1	1	Lc	1	0

Fig 4

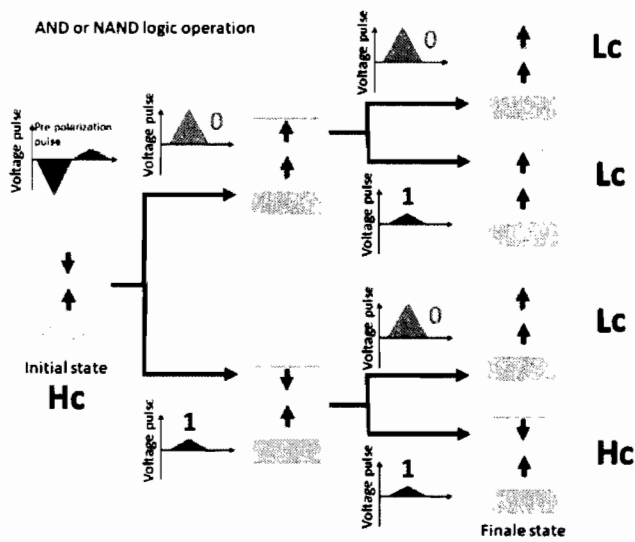


Fig 5

Input 1	Input 2	Final state	AND output	NAND output
0	0	Lc	0	1
0	1	Lc	0	1
1	0	Lc	0	1
1	1	Hc	1	0

