



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2017 00367

(22) Data de depozit: 13/06/2017

(41) Data publicării cererii:  
28/12/2018 BOPI nr. 12/2018

(71) Solicitant:  
• UNIVERSITATEA TEHNICĂ "GHEORGHE  
ASACHI" DIN IAȘI, STR. PROF. DR. DOC.  
DIMITRIE MANGERON NR. 67, IAȘI, IS, RO

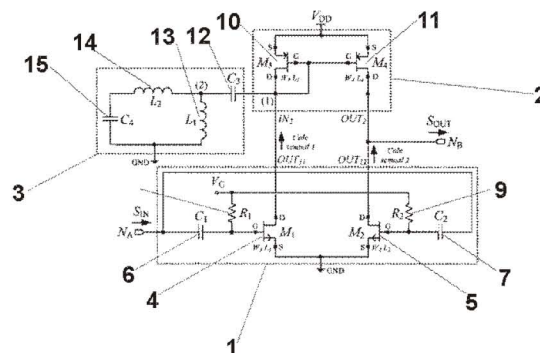
(72) Inventatori:  
• ANDRIESEI CRISTIAN,  
BD.ROMAN MUȘAT, BL.38, AP.101,  
ROMAN, NT, RO

(54) AMPLIFICATOR CMOS DE TIP LNA

(57) Rezumat:

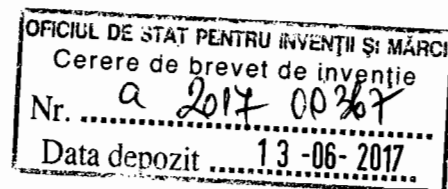
Invenția se referă la un amplificator CMOS dublu selectiv în frecvență, de tip LNA, care amplifică semnalul de intrare în două benzi de frecvență distincte. Amplificatorul dublu selectiv, conform invenției, este alcătuit dintr-un amplificator (1) implementat cu două tranzistoare NMOS (4 și 5) dispuse în paralel, pentru asigurarea a două căi de semnal, și polarizate prin intermediul unei oglinzi de curent (2), la intrarea oglinzii (2) fiind conectată o rețea pasivă cu caracteristică de frecvență de tip notch la două frecvențe diferite, pentru filtrarea semnalului.

Revendicări: 1  
Figuri: 1



Cu începere de la data publicării cererii de brevet, cererea asigură, în mod provizoriu, solicitantului, protecția conferită potrivit dispozițiilor art.32 din Legea nr.64/1991, cu excepția cazurilor în care cererea de brevet de invenție a fost respinsă, retrasă sau considerată ca fiind retrasă. Întinderea protecției conferite de cererea de brevet de invenție este determinată de revendicările conținute în cererea publicată în conformitate cu art.23 alin.(1) - (3).





## Amplificator CMOS de tip LNA

Invenția se referă la un amplificator cu zgomot mic de tip LNA, dublu selectiv în frecvență (ori *dual-band* în literatura de specialitate), implementat în tehnologie CMOS și vizând aplicațiile wireless.

Amplificatorul cu zgomot mic, cunoscut în literatură și ca LNA, este esențial în implementarea receptoarelor de telecomunicații, fiind primul bloc activ după antenă. La telefoanele mobile actuale, majoritatea de tip quad-band GSM (850/900/1800/1900) și penta-band cu banda suplimentară de 2100 MHz, pentru implementarea funcționalității multi-standard se utilizează câte un LNA dedicat fiecărui standard de telecomunicații.

Dezavantajul acestei soluții de implementare îl constituie aria mare ocupată, amplificatoarele utilizate curent fiind discrete, proiectate în altă tehnologie (GaAs) decât partea de procesare digitală a receptorului (CMOS - acronim al *Complementary Metal Oxide Semiconductor*) și necesită rețea de adaptare externă implementată cu componente pasive discrete (de regula SMD).

Problema tehnică pe care o rezolvă invenția o constituie implementarea în tehnologie CMOS, cu tranzistoare de tip MOSFET, a unui amplificator de tip LNA, dublu selectiv în frecvență, putând acoperi oricare două din cele 5 benzi de telecomunicații acoperite de telefoanele mobile.

Amplificatorul de tip LNA dublu selectiv, conform invenției, constă dintr-un amplificator construit cu două tranzistoare de tip NMOS dispuse în paralel pentru crearea a două căi de semnal și polarizate cu o oglindă de curent 2, la intrarea oglinzii conectându-se o rețea pasivă cu caracteristică în frecvență de tip notch la două frecvențe, semnalele de pe cele două căi adunându-se în nodul de ieșire conducând la amplificarea și filtrarea de tip trece bandă, la două frecvențe distincte, a semnalului de intrare.

Invenția poate fi exploatată industrial la dispozitivele wireless multistandard, mai ales la receptoarele telefoanelor mobile.

Amplificatorul LNA, conform invenției, prezintă următoarele avantaje:

- dublă selectivitate în frecvență;
- funcționare simultană la două benzi de frecvențe dorite (cunoscută în literatură ca *concurrent*), fără necesitatea comutării amplificatorului de la un standard la altul;
- simplitate.

Se dă în continuare un exemplu de aplicare a invenției, în legătură cu fig. 1, care reprezintă:

- fig. 1, schema principială a unui amplificator de tip LNA implementat în tehnologie CMOS și dublu selectiv în frecvență.

Amplificatorul CMOS selectiv de tip LNA, conform invenției, este ilustrat în Fig. 1 și constă dintr-un amplificator 1, o oglindă de curent 2 și o rețea pasivă 3. Amplificatorul 1 are o singură intrare de semnal notată  $N_A$  la care se aplică semnalul de intrare  $S_{IN}$  ce se dorește a fi amplificat, respectiv două ieșiri notate  $OUT_{11}$  și  $OUT_{12}$  care se conectează galvanic la oglinda de curent 2. Amplificatorul 1 este construit cu două tranzistoare de tip NMOS (*N-channel Metal Oxide Semiconductor*) 4 și 5, caracterizate constructiv prin parametrii de proiectare  $W_1$ ,  $L_1$ ,  $W_2$ ,  $L_2$ , unde  $W$  și  $L$  reprezintă lungimea respectiv lățimea canalului  $n$  al tranzistorului. Tranzistoarele 4 și 5 sunt dispuse în paralel, semnalul de intrare  $S_{IN}$  aplicându-se simultan pe terminalul grilă (G) al acestora prin intermediul a două condensatoare de cuplaj 6 și 7 care sunt dimensionate astfel încât să blocheze trecerea semnalelor de joasă frecvență dar să permită trecerea semnalelor

cu frecvențe mari. Pentru ca amplificatorul selectiv să fie implementat într-un singur chip, aceste două condensatoare se implementează în layout-ul amplificatorului chiar dacă vor ocupa o arie semnificativă. Condensatorul de cuplaj 6 este conectat între intrarea circuitului  $N_A$  și grila G a tranzistorului 4, condensatorul de cuplaj 7 este conectat între intrarea circuitului  $N_A$  și grila G a tranzistorului 5. Terminalul sursă S al tranzistorului 4 este conectat la masa circuitului GND iar terminalul drenă D al acestuia reprezintă prima ieșire  $OUT_{11}$  a amplificatorului 1 care se conectează la intrarea  $IN_2$  a blocului 2, respectiv nodul (1), formând prima cale de semnal notată în schemă “Cale semnal 1”. Terminalul sursă S al tranzistorului 5 este conectat la masa circuitului GND iar terminalul drenă D al acestuia reprezintă a doua ieșire  $OUT_{12}$  a amplificatorului 1 care se conectează la ieșirea  $OUT_2$  a blocului 2, respectiv nodul (2), formând a doua cale de semnal notată în schemă “Cale semnal 2”. Ambele tranzistoare 4 și 5 au grilele polarizate de la o sursă de tensiune  $V_g$  prin intermediul a două rezistențe 8 și 9 cu valori suficient de mari (practic sute  $K\Omega$ ) cât să nu cupleze în semnal (c.a.) semnalul de intrare  $S_{IN}$  la masa circuitului, putând fi implementate direct în layout-ul circuitului ori prin utilizarea unor tranzistoare polarizate în regim de funcționare blocat (*off*), asigurându-se astfel valori de  $M\Omega$  pentru cele două rezistențe. Sursa de tensiune  $V_G$  poate fi generată intern pe baza tensiunii de alimentare a circuitului  $V_{DD}$  prin intermediul unui divizor rezistiv sau aplicată extern la un port distinct conectat galvanic la rezistențele 8 și 9. Oglinda de curent 2 este construită cu două tranzistoare de tip PMOS (*P-channel Metal Oxide Semiconductor*) 10 și 11, caracterizate constructiv prin parametrii de proiectare  $W_3, L_3, W_4$  și  $L_4$ . Tranzistorul 10 este utilizat în conexiune de diodă, având terminalele grilă G și drenă D conectate împreună și la nodul (1) al circuitului, corespunzător intrării  $IN_2$  a blocului 2, iar terminalul sursă S conectat la sursa de alimentare a circuitului  $V_{DD}$ . Tranzistorul 11 are terminalul grilă G conectat la nodul (1), terminalul sursă S la sursa de alimentare a circuitului  $V_{DD}$  iar terminalul drenă D este conectat la nodul (2), corespunzător ieșirii  $OUT_2$  a blocului 2. Pentru asigurarea filtrării corecte a semnalului  $S_{IN}$ , este necesară asigurarea amplificării identice a acestuia pe cele două căi de semnal, ceea ce se asigură impunând condiția de proiectare  $g_{m1} \cdot g_{m3} = g_{m2} \cdot g_{m4}$ , unde  $g_{m1} \div g_{m4}$  reprezintă transconductanțele tranzistoarelor  $M_1 \div M_4$ . Se ține cont că transconductanța tranzistorului NMOS are expresia matematică generală  $g_m = 2 \cdot I_D / (V_{GS} - V_{TH}) = \mu_n \cdot C_{ox} \cdot W/L \cdot (V_{GS} - V_{TH})$ , unde  $I_D$  este curentul de polarizare (c.c.) al tranzistorului,  $V_{GS}$  reprezintă tensiunea grilă-sursă în c.c.,  $V_{TH}$  este tensiunea de prag a tranzistorului NMOS,  $\mu_n$  reprezintă mobilitatea electronilor. Pentru tranzistorul PMOS transconductanța are aceeași

expresie exceptând  $V_{GS}$  care devine  $V_{SG}$ ,  $V_{THn}$  devine  $V_{THp}$ ,  $\mu_n$  devine  $\mu_p$  (mobilitatea golurilor). Rețeaua pasivă 3 este o rețea cu rol de implementare a unei filtrări de tip notch la două frecvențe prestabilite, funcție de standardele de telecomunicații deservite. Rețeaua 3 este constituită dintr-un condensator flotant (serie) 12 conectat între nodurile (1) și (2), o bobină (paralel) 13 conectată între nodul (2) și masa circuitului GND, respectiv un rezonator LC serie conectat între nodul (2) și masa circuitului GND constituit dintr-o bobină serie 14 și un condensator serie 15. Această rețea de tip notch este o variantă îmbunătățită a filtrului notch LC serie clasic, acestuia adăugându-i-se încă o ramură LC serie în paralel cu bobina, la masă. Prin creșterea ordinului de complexitate al rețelei cu o unitate se pot acoperi două frecvențe simultan. Rețeaua pasivă 3 are proprietatea că la două frecvențe diferite de interes impedanța de intrare în această rețea este apropiată de valoarea  $0 \Omega$ , în restul valoarea acesteia crește la sute  $\Omega$  și chiar  $K\Omega$ . Valorile celor 4 reactanțe  $L_1$ ,  $L_2$ ,  $C_3$  și  $C_4$  se dimensionează funcție de cele două frecvențe de lucru ( $\omega_{z1}$ ,  $\omega_{z2}$ ), respectiv o frecvență intermediară ( $\omega_{p1}$ ) la care se dorește ca impedanța să fie maximă (liber aleasă), conform relațiilor:  $L_1 \cdot L_2 \cdot C_3 \cdot C_4 = 1 / (\omega_{z1}^2 \cdot \omega_{z2}^2)$ ,  $(L_1 \cdot C_3 + L_2 \cdot C_4 + L_1 \cdot C_4) / L_1 \cdot L_2 \cdot C_3 \cdot C_4 = \omega_{z1}^2 + \omega_{z2}^2$ ,  $(L_1 + L_2) \cdot C_4 = 1 / \omega_{p1}^2$ . Se poate alege în cazurile practice valoarea de 1-5 nH pentru  $L_1$ , ceea ce ajută și la rezolvarea sistemului de ecuații. Această topologie generală a amplificatorului selectiv asigură două căi de semnal. Prima cale este constituită din grilă G tranzistor 4 – nod (1) – nod  $N_B$ , care asigură o amplificare multiplă a semnalului  $S_{IN}$  aplicat la intrare de către tranzistoarele 4 și 11, simultan cu eliminarea în nodul (1) a benzilor de frecvență dorite (filtrare notch) ca urmare a utilizării rețelei pasive 3. A doua cale de semnal este constituită din grilă G tranzistor 5 – nod  $N_B$ , semnalul de intrare  $S_{IN}$  fiind amplificat o singură dată. Pe prima cale, semnalul  $S_{IN}$  aplicat la intrarea  $N_A$  ajunge la ieșirea  $N_B$  nedefazat deoarece este defazat cu câte  $180^\circ$  de tranzistoarele 4 și 11 și nedefazat de tranzistorul 10 deci global este defazat cu  $360^\circ$  (echivalent cu  $0^\circ$ ). Pe a doua cale, semnalul  $S_{IN}$  aplicat la intrarea  $N_A$  se regăsește la ieșirea  $N_B$  a circuitului defazat cu  $180^\circ$ . Prin sumarea curenților aferenți celor două căi de semnal în nodul  $N_B$ , cu faze opuse și cu primul din ei fără cele două benzi de frecvențe dorite, semnalul de ieșire conține exact cele două benzi de frecvență dorite și amplificate, în timp ce frecvențele din afara acestor două benzi sunt rejectate (filtrare). Dacă acest amplificator este inserat imediat după antenă, trebuie precedat de o rețea de adaptare a impedanței pentru crearea unei rezistențe de intrare de  $50\Omega$  în nodul  $N_A$  al amplificatorului.

## REVENDICĂRI

Amplificator CMOS de tip LNA pentru aplicații wireless care, pentru asigurarea unei duble selectivități în frecvență, este **caracterizat prin aceea că** este format dintr-un amplificator 1, o oglindă de curent 2 utilizată pentru polarizarea amplificatorului 1, respectiv o rețea pasivă 3 cu caracteristică de tip notch la două frecvențe diferite.

