



(12)

CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: **a 2011 00653**

(22) Data de depozit: **12.07.2011**

(41) Data publicării cererii:
29.05.2015 BOPI nr. **5/2015**

(71) Solicitant:
• UNIVERSITATEA TEHNICĂ DIN
CLUJ-NAPOCA, STR.MEMORANDUMULUI
NR.28, CLUJ-NAPOCA, CJ, RO

(72) Inventatori:
• JOAN FIGUERAS PAMIES,
EDIFICI H (ETSEIB), AVDA, DIAGONAL,
647, BARCELONA, ES;

• MICLEA LIVIU CRISTIAN,
STR. GORUNULUI NR. 7, AP. 29,
CLUJ-NAPOCA, CJ, RO;
• MOIȘ GEORGE DAN, STR. TRAIAN
NR. 19, BL. 19, AP. 23, BAIA MARE, MM,
RO

(74) Mandatar:
CABINET DE PROPRIETATE
INDUSTRIALĂ CIUPAN CORNEL,
STR. MESTECENILOR NR. 6, BL. 9E, AP. 2,
CLUJ NAPOCA, JUDEȚUL CLUJ

(54) METODĂ PENTRU MODIFICAREA DINAMICĂ A FRECVENȚEI ÎNTR-O UNITATE ARITMETICĂ BAZATĂ PE DETECȚIA ON-LINE A ERORILOR

(57) Rezumat:

Invenția se referă la o metodă de modificare dinamică a frecvenței, în timpul funcționării unei unități aritmetice din cadrul unui sistem de procesare a semnalelor digitale, ce are sumatoare sau multiplicatoare conținute în calea critică. Metoda conform invenției constă în modificarea dinamică a frecvenței, prin modificarea dinamică a perioadei semnalului de ceas într-un circuit (1) aritmetic, pe baza detectării erorilor datorate întârzierilor produse în circuit, printr-o schemă concurentă de detecție, utilizând un cod rezidual cu baza 7.

Revendicări: 4
Figuri: 6

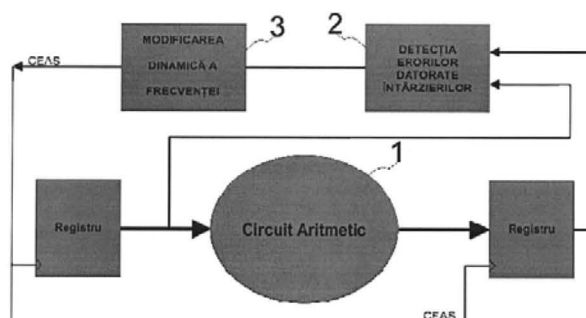
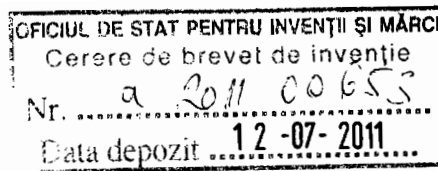


Fig. 1





Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor

Invenția se referă la o metodă de modificare dinamică a frecvenței în timpul funcționării unei unități aritmetice din cadrul unui sistem de procesare a semnalelor digitale care are sumatoare sau multiplicatoare conținute în calea critică.

În prezent, testarea on-line este utilizată într-o gamă largă de sisteme digitale destinate aplicațiilor critice sau aplicațiilor cu disponibilitate ridicată. În majoritatea cazurilor, schema de detecție a erorilor este folosită pentru a realiza un compromis între performanțele generale ale sistemului și consum.

Modelele convenționale operează la o frecvență determinată de cea mai lungă cale critică din circuit. Dezavantajul acestei abordări duce la circuite care funcționează în marea majoritate a timpului la o frecvență mai mică decât este necesar, rezultând modele mai puțin rapide.

În sistemele integrate la scară foarte largă clasice, frecvența și tensiunea de alimentare sunt selectate în funcție de cazul cel mai defavorabil, iar minimizarea puterii consumate presupune selectarea în prealabil a frecvenței și a tensiunii de alimentare, ceea ce duce la un model pesimist [Xiaoxiao Zhang, Amine Bermak, Farid Boussaid, "Dynamic Voltage and Frequency Scaling for Low-power Multi-precision Reconfigurable Multiplier", Proceedings of 2010 IEEE International Symposium on Circuits and Systems, pp. 45-48, Paris, 2010]. Scalarea în timpul funcționării a frecvenței de operare poate duce la o reducere a puterii consumate de circuit și la o putere de procesare mai mare.

În scopul modificării frecvenței este cunoscut un sistem de radiofrecvență care folosește controlul erorilor la nivel de simbol și de bit pentru a permite scalarea agresivă a tensiunii de alimentare [J. Natarajan, G. Kumar, S. Sen, M. M. Nisar, D. Lee, A. Chatterjee, "Aggressively voltage overscaled adaptive RF systems using error control at the bit and symbol levels", 15th IEEE International On-Line Testing Symposium, IOLTS 2009, pp. 249 - 254, Sesimbra, Lisbon, 2009]. Acesta exploatează faptul că nu se operează în condițiile cele mai defavorabile ale canalului pentru o mare perioadă de timp, și astfel se realizează reduceri semnificative ale puterii consumate. Dezavantajul acestei metode este faptul că este necesară o fază de optimizare off-line pentru a obține setările optime pentru parametrii de funcționare ai sistemului.

Se cunoaște, de asemenea, o metodă probabilistică de compensare a erorilor în cazul filtrelor digitale de putere redusă [M. M. Nisar, A. Chatterjee, "Guided Probabilistic Checksums for Error Control în Low Power Digital-Filters", 14th IEEE International On-Line Testing Symposium 2008, pp. 239 - 244, Rhodes, Greece, 2008 C. Piguet, "LOW POWER ELECTRONICS DESIGN", CRC Press, ISBN 978-0849319419, July 2004]. Aceasta se bazează pe faptul că o mare parte a aplicațiilor de procesare de semnale digitale permit operarea circuitelor aritmetice la o viteză de propagare a semnalului mai redusă (controlată prin modificarea tensiunii de alimentare) decât cea dictată de întârzierea căii critice din circuit, fără ca aceasta să aibă un impact sesizabil asupra performanțelor sistemului. Detecția erorilor este realizată folosind coduri care utilizează sume de control (checksum codes), iar un regulator PID modifică tensiunea de alimentare în funcție de rata erorilor detectate în circuit. Rezultatele obținute în acest caz indică faptul că se pot realiza reduceri semnificative de putere consumată. Această metodă are dezavantajul că erorile care sunt mai mici decât o anumită limită aleasă în prealabil sunt ignorate, nefiind detectate și apoi compensate.

Brevetul **US7730340 B2** „METHOD AND APPARATUS FOR DYNAMIC VOLTAGE AND FREQUENCY SCALING” oferă o metodă de învățare a mașinii pentru a îmbunătăți predicția dinamică a utilizării procesorului pentru aplicații cu multiple fire de

execuție la nivel de utilizator într-un mediu dinamic de funcționare bazată pe istoria de utilizare a procesorului. Pentru a reduce puterea consumată se poate modifica tensiunea de alimentare și frecvența de funcționare a acestuia în funcție de predicția de utilizare a procesorului. În acest caz, modificarea dinamică a frecvenței și a tensiunii de alimentare este realizată la nivelul aplicației utilizator și nu se bazează pe detecția erorilor în timpul funcționării. Dezavantajul este acela că tensiunea de alimentare a procesorului și frecvența acestuia sunt modificate pe baza istoricului de utilizare a procesorului.

Brevetul **US7770034 B2** prezintă tehnici de scalare ale frecvenței și tensiunii bazate pe monitorizarea datelor. Aceste tehnici pot fi folosite pentru gestionarea consumului de putere și energie ale procesoarelor în sisteme înglobate cum sunt telefoanele celulare, PDA-uri, etc. Ele pot fi întrebuințate în procesoare care oferă capacități de monitorizare ale performanțelor. Brevetul se referă la modificarea frecvenței și a tensiunii de alimentare în cazul procesoarelor, și în particular la tehnici pentru modificarea dinamică a frecvenței și a tensiunii de alimentare care utilizează un indicator de performanță. Dezavantajul este că brevetul are ca subiect modificarea dinamică a tensiunii de alimentare și a frecvenței pentru procesoare efectuată la nivelul sistemului de operare.

Problema tehnică pe care o rezolvă invenția propusă este de a crește viteza de operare a unităților aritmetice, de a reduce puterea consumată și de a oferi posibilitatea de modificare a fiabilității sistemului.

Metoda pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, conform invenției, constă în modificarea dinamică a frecvenței prin modificarea dinamică a perioadei semnalului de ceas în circuitul aritmetic pe baza detectării erorilor datorate întârzierilor produse în circuit, printr-o schemă concurentă de detecție, utilizând codul rezidual cu baza 7.

Invenția prezintă următoarele avantaje:

- se reduce timpul necesar pentru efectuarea de operații în cadrul unei unități aritmetice cu prețul apariției unui număr de erori prestabilit;
- se mărește media frecvenței de operare a sistemului;
- se asigură putere de calcul sporită (permite efectuarea unui număr mai mare de operații aritmetice într-o unitate de timp);
- realizarea detecției erorilor și modificării frecvenței în timpul funcționării, la nivel hardware;
- realizarea detecției erorilor în timpul funcționării circuitului fără a fi necesară setarea în prealabil a parametrilor de funcționare;
- realizarea detecției erorilor în timpul funcționării sistemului și a scalării frecvenței semnalului de ceas folosit de circuit cu o întârziere minimă. În cazul de față acest circuit este un procesor de semnal digital având sumatoare sau multiplicatoare în componența căii critice.

Se dau, în continuare două exemple de realizare a invenției în legătură cu figurile 1, 2, ..., 6, care reprezintă:

- figura 1 – circuit care implementează metoda de modificarea dinamică a frecvenței bazată pe coduri reziduale;
- figura 2 – schemă concurentă de detecție a erorilor pentru un sumator pe 32 de biți utilizând cod rezidual cu baza 7 folosită pentru implementarea metodei;
- figura 3 – circuit pentru calcularea reziduului folosit pentru implementarea metodei;
- figura 4 – schema de modificare dinamică a frecvenței în cazul arhitecturii non-pipelined;

- figura 5 – schemă concurentă de detecție a erorilor pentru un sumator pe 32 de biți utilizând cod rezidual cu baza 7, arhitectură pipelined, folosită pentru implementarea metodei;
- figura 6 – schema de modificare dinamică a frecvenței în cazul arhitecturii pipelined .

Metoda pentru detecția on-line a erorilor și pentru modificarea dinamică a frecvenței într-o unitate aritmetică, conform invenției, se bazează pe modificarea dinamică a perioadei semnalului de ceas în circuitul aritmetic 1, pe baza detectării erorilor datorate întârzierilor produse în circuit, printr-o schemă concurentă de detecție care utilizează cod rezidual cu baza 7. Prin folosirea acestei baze se va detecta orice eroare de un bit sau rafală de 2 biți consecutivi eronați.

Metoda pentru detecția on-line a erorilor și pentru modificarea dinamică a frecvenței într-o unitate aritmetică, conform invenției, presupune verificarea unei adunări efectuate într-un circuit aritmetic 1 printr-un modul de verificare 2 prin cod rezidual cu baza 7 și modificarea frecvenței printr-un modul de ajustare dinamică a frecvenței 3, care în funcție de numărul admis de erori detectate modifică frecvența cu care se efectuează operațiile.

Datorită faptului că aplicațiile dezvoltate în prezent necesită viteză sporită și consum redus de putere, rata apariției erorilor cauzate de întârzierile din circuit devine din ce în ce mai mare. O nouă abordare a acestei probleme este permiterea unui număr mic de erori într-un anumit interval de timp, după care frecvența este adaptată. Această abordare este oportună în cazul unui număr suficient de mare de aplicații în care se permite apariția unei erori fără a o corecta deoarece s-ar consuma o cantitate prea mare de putere și prea mult timp de execuție. De exemplu, procesarea grafică sau reprezentarea cantităților foarte mari de date au rezultate a căror calitate nu este afectată de prezența unui număr redus de erori apărute într-un interval scurt de timp.

Actuala invenție prezintă o metodă care permite nedetectarea unui număr de erori prin ignorare, și care, după apariția unui anumit număr de erori ignorate, modifică frecvența de operare. Erorile sunt detectate printr-o schemă concurentă de detecție utilizând codul rezidual de cost redus cu baza 7. Presupunându-se că majoritatea erorilor detectate sunt datorate întârzierilor apărute în circuit, un modul separat 3 gestionează frecvența de operare a circuitului aritmetic 1 în funcție de numărul de erori apărute.

Metoda de modificare dinamică a frecvenței se exemplifică prin circuitul prezentat în figura 1 și care este compus dintr-un sumator 1 în cascadă pe 32 de biți, verificat cu ajutorul verficatorului 2 prin cod rezidual de cost redus cu baza 7 și un modul 3 de modificare dinamică a frecvenței care controlează frecvența cu care se realizează adunările, în funcție de numărul erorilor detectate de către verficatorul 2. Se presupune că un sumator în cascadă pe 32 de biți are cea mai lungă cale critică într-un circuit de procesare de semnale. Un circuit convențional funcționează la o frecvență impusă de lungimea acestei căi critice, iar în cazul metodei propuse de această invenție frecvența este modificată în funcție de o lege prestabilită, bazată pe numărul de erori indicate de schema concurentă de detecție.

Pentru implementarea metodei de modificare dinamică a frecvenței într-o unitate aritmetică, bazată pe detecția on-line a erorilor, s-au realizat două modele de arhitecturi ale circuitului din figura 1.

Primul model constă într-o arhitectură non-pipelined de detecție a erorilor ilustrată în figura 2. În acest caz, metoda pentru modificarea dinamică a frecvenței într-o unitate aritmetică, conform invenției, se descrie prin următorii pași, cu referire la figura 2:

Pasul 1.

- a. se adună cei doi operanzi x și y de către sumatorul 1 în cascadă pe 32 de biți
- b. se calculează reziduurile r_x și r_y ale celor doi operanzi – blocurile 4 și 5
- c. se calculează suma modulo 7 a reziduurilor r_x și r_y – blocul 6

Pasul 2. Se calculează reziduul $r(x+y)$ al adunării – blocul 7

Pasul 3. Se compară reziduul adunării $r(x+y)$ cu suma modulo 7 a reziduurilor celor doi operanzi r_x+r_y – blocul 8. O diferență constatată la comparare indică o eroare.

Pasul 4.

- a. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor
- b. se revine la pasul 1 pentru efectuarea următoarei operații de adunare.

Modul de calculare al reziduului unui număr de 32 de biți este prezentat în figura 3. Datorită întârzierilor apărute în circuit, pentru realizarea verificatorului 2 s-au folosit tranzistori mai rapizi decât cei care se află în componența sumatorului 1 în cascadă pe 32 de biți. Astfel, verificarea rezultatului adunării adaugă un timp suplimentar minim efectuării fiecărei adunări. O eroare detectată este cauzată fie de operarea sistemului la o frecvență mai ridicată decât este necesar, fie de o defecțiune apărută în circuitul sumatorului 1 sau al verificatorului 2. Presupunând ca majoritatea erorilor sunt cauzate de frecvența neadaptată, modulul responsabil cu scalarea dinamică a frecvenței 3 acționează în funcție de erorile detectate de modulul verificator 2.

Prin implementarea unei legi simple de modificare a frecvenței, ilustrată în figura 4, modificând frecvența între 5,2 și 12,5 MHz după cum urmează: la detectarea unei erori frecvența se modifică la valoarea inferioară, iar la detectarea a 3 adunări consecutive corecte valoarea frecvenței este crescută prin reducerea perioadei semnalului de ceas cu 10 nanosecunde, s-a obținut o reducere semnificativă a timpului necesar efectuării unei secvențe de adunări permițându-se un anumit număr de erori. Simulările efectuate indică o rată a erorilor de 0,27% și o îmbunătățire cu 21,11% a timpului necesar pentru efectuarea a 10 000 de adunări.

Al doilea exemplu de realizare a invenției este redat prin intermediul unui circuit cu o arhitectură de tip pipelined pentru detecția erorilor, prezentată în figura 5. În acest caz, metoda pentru modificarea dinamică a frecvenței într-o unitate aritmetică, conform invenției, se descrie prin următorii pași:

Pasul 1.

- a. calcularea reziduului adunării precedente pe 32 de biți - blocul 9
- b. calcularea adunării curente pe 32 de biți de către sumatorul 1 și calcularea reziduurilor celor doi operanzi pentru adunarea curentă – blocurile 10 și 11

Pasul 2.

- a. se compară reziduul adunării precedente pe 32 de biți cu suma modulo 7 a reziduurilor celor 2 operanzi pentru adunarea precedentă – blocul 12
- b. se calculează suma modulo 7 a reziduurilor celor doi operanzi ai adunării curente pe 32 de biți – blocul 13

Pasul 3.

- c. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor
- d. se revine la pasul 1 pentru efectuarea următoarei operații de adunare.

Aceasta metodă oferă o îmbunătățire importantă față de prima: la fiecare pas se verifică adunarea de la pasul precedent și în acest fel timpul redundant este dat doar de întârzierea cauzată de calcularea reziduurilor operanzilor și adunarea acestora – blocul 13 sau de calcularea reziduului rezultatului precedent – blocul 9. În cadrul perioadei T, cu referire la figura 6, se calculează adunarea celor doi operanzi – faza 14 și în paralel reziduul fiecăruia – fazele 15 și respectiv, 16, apoi suma modulo 7 a acestora – faza 17. În același timp se calculează reziduul rezultatului de la pasul T-1 – faza 18 și acesta se compară la faza 20 cu suma reziduurilor celor doi operanzi de la pasul T-1 la faza 19. Astfel, la pasul T vom avea rezultatul adunării curente obținute la faza 17 și rezultatul comparației reziduurilor de la pasul T-1 obținut la faza 20 care indică prezența unei erori apărute în efectuarea adunării de la acest pas (T-1). În figura 6 se prezintă modificarea frecvenței bazată pe o lege simplă.

Eficiența metodei este evidențiată prin simularea circuitului folosind o lege simplă pentru controlul frecvenței. Aceasta a fost modificată dinamic între 3,03 și 10 MHz după cum urmează: la detectarea unei erori se modifică frecvența fiind adusă la valoarea minimă, iar la detecția unei adunări corecte (nu se detectează o eroare) frecvența este sporită micșorând perioada semnalului de ceas cu 10ns dacă aceasta nu are valoarea minimă admisă. Astfel, s-a ajuns la o îmbunătățire cu 28,58% a timpului necesar pentru efectuarea a 10 000 de adunări cu prețul unei rate a erorilor de 1,93%. Timpul necesar pentru adunarea unei secvențe de 10 000 de perechi de numere de 32 de biți în cazul unei arhitecturi clasice presupune o perioadă fixă de 330 nanosecunde, cea mai lungă perioadă necesară pentru efectuarea unei adunări fără a exista posibilitatea producerii unei erori de întârziere.

REVENDICĂRI

1. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, caracterizată prin aceea că, modificarea frecvenței se face în funcție de numărul de erori apărute și prin modificarea dinamică a perioadei semnalului de ceas în circuitul aritmetic (1) pe baza detectării erorilor datorate întâzierilor produse în circuit, apariția unui anumit număr de erori superior celui acceptat conducând la scăderea frecvenței, iar un anumit număr de calcule corecte ducând la creșterea frecvenței.
2. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, conform revendicării 1, caracterizată prin aceea că, detectarea erorilor din circuitul (1) se face printr-o schemă concurentă de detecție utilizând cod rezidual cu baza 7, modificarea frecvenței realizându-se într-un modul de ajustare dinamică a frecvenței (3), care în funcție de numărul admis de erori detectate modifică frecvența cu care se efectuează operațiile.
3. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică (1) bazată pe detecția on-line a erorilor, conform revendicării 1, caracterizată prin aceea că, pentru aplicarea metodei pe o arhitectură non-pipelined, presupune următoarele etape:
 - Pasul 1.
 - a. se adună cei doi operanzi x și y de către sumatorul (1) în cascadă pe 32 de biți
 - b. se calculează reziduurile r_x și r_y ale celor doi operanzi – blocurile (4) și (5)
 - c. se calculează suma modulo 7 a reziduurilor r_x și r_y – blocul (6)
 - Pasul 2. Se calculează reziduul $r(x+y)$ al adunării – blocul (7)
 - Pasul 3. Se compară reziduul adunării $r(x+y)$ cu suma modulo 7 a reziduurilor celor doi operanzi r_x+r_y – blocul (8). O diferență constatată la comparare indică o eroare.
 - Pasul 4.
 - a. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor
 - b. se revine la pasul 1 pentru efectuarea următoarei operații de adunare.

4. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, conform revendicării 1, caracterizată prin aceea că, aplicarea metodei pe o arhitectura pipelined, presupune următoarele etape:

Pasul 1.

- a. calcularea reziduului adunării precedente pe 32 de biți - blocul (9)
- b. calcularea adunării curente pe 32 de biți de către sumatorul (1) și calcularea reziduurilor celor doi operanzi pentru adunarea curentă – blocurile (10) și (11)

Pasul 2.

- a. se compară reziduul adunării precedente pe 32 de biți cu suma modulo 7 a reziduurilor celor 2 operanzi pentru adunarea precedentă – blocul (12)
- b. se calculează suma modulo 7 a reziduurilor celor doi operanzi ai adunării curente pe 32 de biți – blocul (13)

Pasul 3.

- c. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor
- d. se revine la pasul 1 pentru efectuarea următoarei operații de adunare.

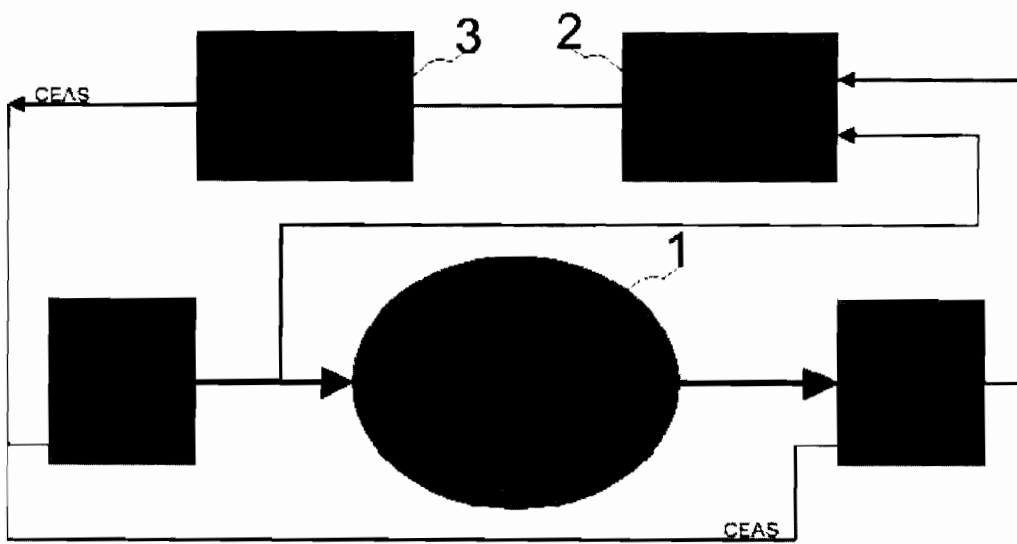


Figura 1

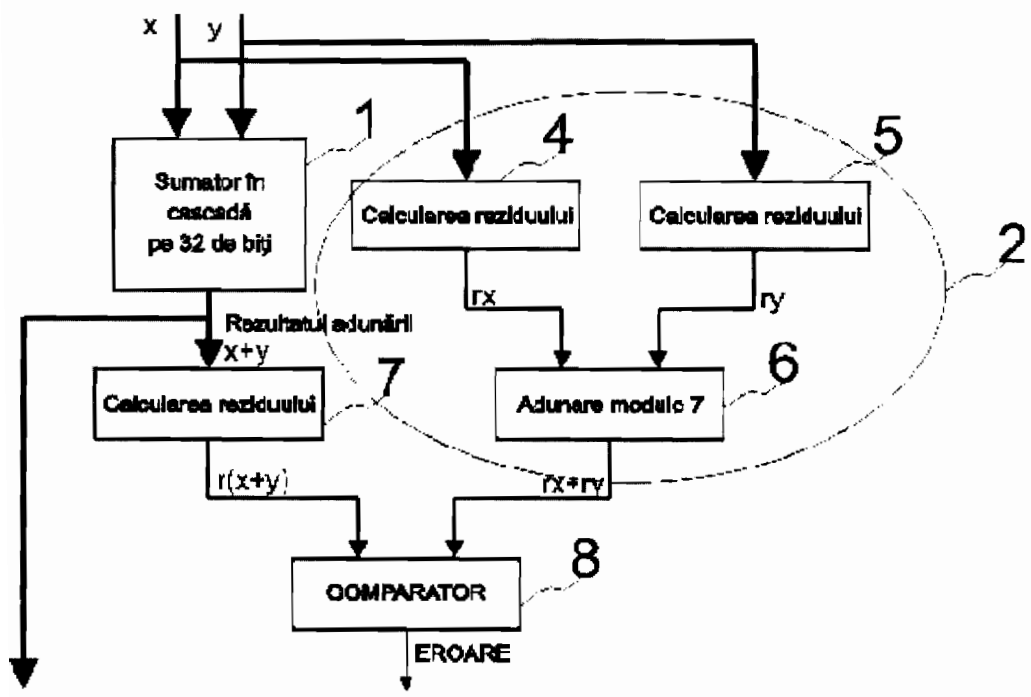


Figura 2

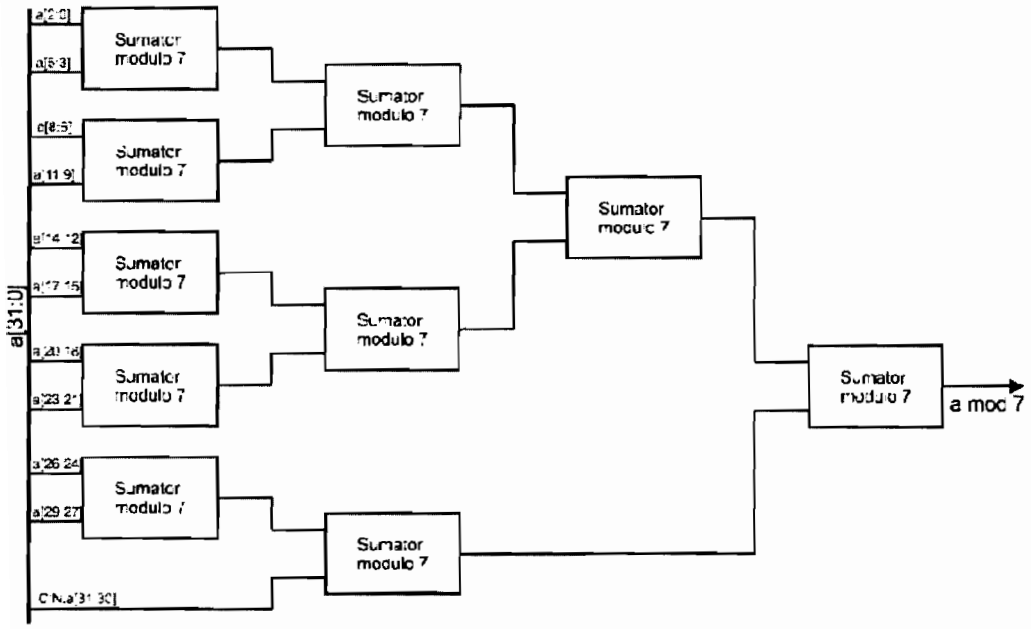


Figura 3

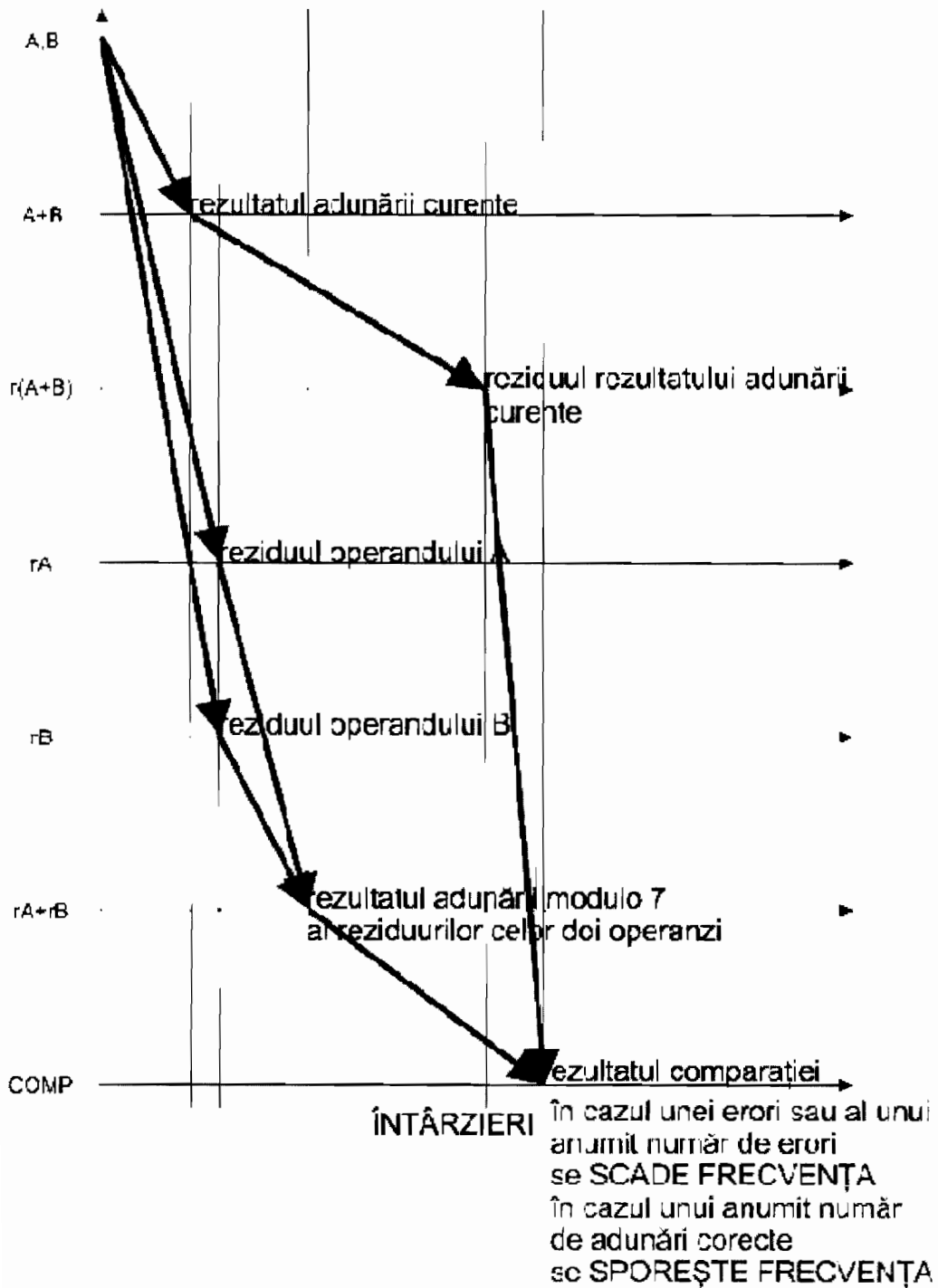


Figura 4

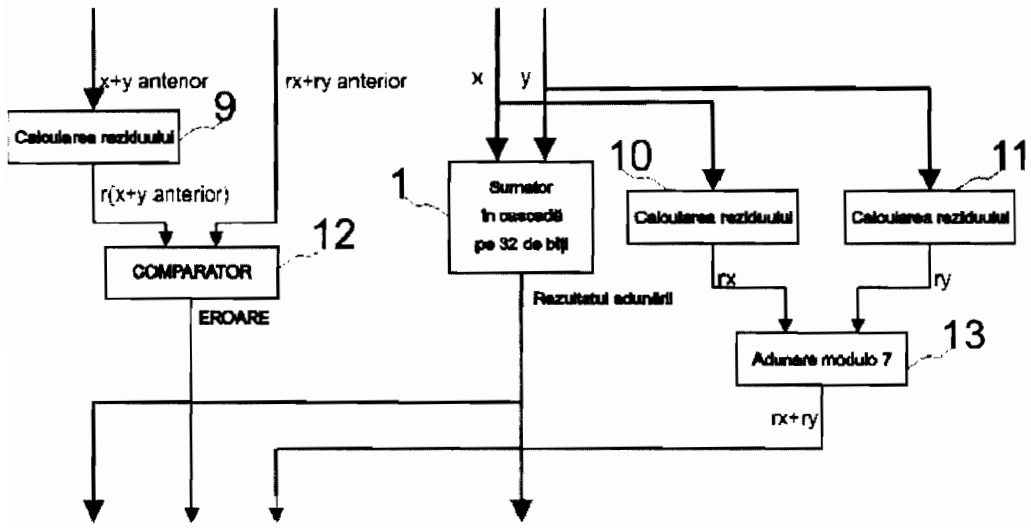


Figura 5

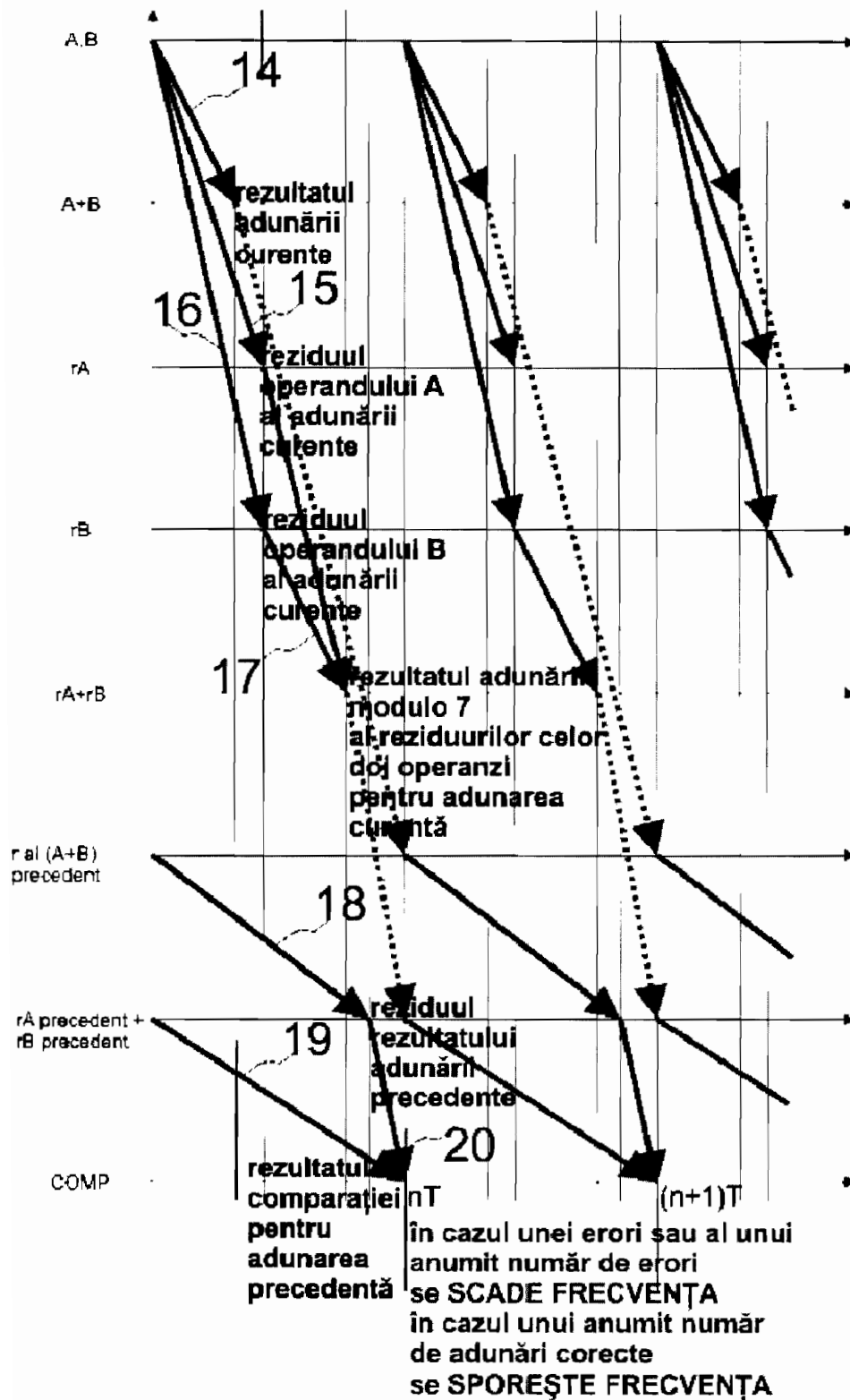


Figura 6