



(12)

BREVET DE INVENȚIE

(21) Nr. cerere: **a 2011 00653**

(22) Data de depozit: **12/07/2011**

(45) Data publicării mențiunii acordării brevetului: **30/03/2018** BOPI nr. **3/2018**

(41) Data publicării cererii:
29/05/2015 BOPI nr. **5/2015**

(73) Titular:
• **UNIVERSITATEA TEHNICĂ DIN
CLUJ-NAPOCA, STR. MEMORANDUMULUI
NR.28, CLUJ-NAPOCA, CJ, RO**

(72) Inventatori:
• **JOAN FIGUERAS PAMIES,
EDIFICI H (ETSEIB), AVDA, DIAGONAL,
647, BARCELONA, ES;**
• **MICLEA LIVIU CRISTIAN,
STR. GORUNULUI NR. 7, AP. 29,
CLUJ-NAPOCA, CJ, RO;**

• **MOIȘ GEORGE DAN, STR. TRAIAN
NR. 19, BL. 19, AP. 23, BAIA MARE, MM,
RO**

(74) Mandatar:
**CABINET DE PROPRIETATE
INDUSTRIALĂ CIUPAN CORNEL,
STR. MESTECENILOR NR. 6, BL. 9E, SC.1,
AP. 2, CLUJ NAPOCA, JUDEȚUL CLUJ**

(56) Documente din stadiul tehnicii:
**US 7730340 B2; US 770034 B2;
US 7475320 B2**

(54) **METODĂ PENTRU MODIFICAREA DINAMICĂ A
FRECVENȚEI ÎNTR-O UNITATE ARITMETICĂ BAZATĂ
PE DETECȚIA ON-LINE A ERORILOR**



RO 130282 B1

1 Inventția se referă la o metodă de modificare dinamică a frecvenței în timpul funcțio-
nării unei unități aritmetice din cadrul unui sistem de procesare a semnalelor digitale.

3 În prezent, testarea on-line este utilizată într-o gamă largă de sisteme digitale desti-
nate aplicațiilor critice sau aplicațiilor cu disponibilitate ridicată. În majoritatea cazurilor,
5 schema de detecție a erorilor este folosită pentru a realiza un compromis între performanțele
generale ale sistemului și consum.

7 Modelele convenționale operează la o frecvență determinată de cea mai lungă cale
critică din circuit. Dezavantajul acestei abordări duce la circuite care funcționează în marea
9 majoritate a timpului la o frecvență mai mică decât este necesar, rezultând modele mai puțin
rapide.

11 În sistemele integrate la scară foarte largă clasice, frecvența și tensiunea de alimen-
tare sunt selectate în funcție de cazul cel mai defavorabil, iar minimizarea puterii consumate
13 presupune selectarea în prealabil a frecvenței și a tensiunii de alimentare, ceea ce duce la
un model pesimist [Xiaoxiao Zhang, Amine Bermak, Farid Boussaid, "**Dynamic Voltage
15 and Frequency Scaling for Low-power Multi-precision Reconfigurable Multiplier**",
Proceedings of 2010 IEEE International Symposium on Circuits and Systems,
17 **pp. 45-48, Paris, 2010**]. Scalarea în timpul funcționării a frecvenței de operare poate duce
la o reducere a puterii consumate de circuit și la o putere de procesare mai mare.

19 În scopul modificării frecvenței este cunoscut un sistem de radiofrecvență care folo-
sește controlul erorilor la nivel de simbol și de bit pentru a permite scalarea agresivă a
21 tensiunii de alimentare [J. Natarajan, G. Kumar, S. Sen, M. M. Nisar, D. Lee, A. Chatterjee,
"**Aggressively voltage overscaled adaptive RF systems using error control at the bit
23 and symbol levels**", **15th IEEE International On-Line Testing Symposium, IOLTS 2009**,
pp. 249 -254, Sesimbra, Lisbon, 2009]. Acesta exploatează faptul că nu se operează în
25 condițiile cele mai defavorabile ale canalului pentru o mare perioadă de timp, și se realizează
astfel reduceri semnificative ale puterii consumate. Dezavantajul acestei metode este faptul
27 că este necesară o fază de optimizare off-line pentru a obține setările optime pentru
parametrii de funcționare ai sistemului.

29 Se cunoaște, de asemenea, o metodă probabilistică de compensare a erorilor în
cazul filtrelor digitale de putere redusă [M. M. Nisar, A. Chatterjee, "**Guided Probabilistic
31 Checksums for Error Control in Low Power Digital-Filters**", **14th IEEE International
On-Line Testing Symposium 2008, pp. 239-244, Rhodes, Greece, 2008**. C. Piguet, "**LOW
33 POWER ELECTRONICS DESIGN**", **CRC Press, ISBN 978-0849319419, July 2004**].
Aceasta se bazează pe faptul că o mare parte a aplicațiilor de procesare de semnale digitale
35 permit operarea circuitelor aritmetice la o viteză de propagare a semnalului mai redusă (con-
trolată prin modificarea tensiunii de alimentare) decât cea dictată de întârzierea căii critice
37 din circuit, fără ca aceasta să aibă un impact sesizabil asupra performanțelor sistemului.
Detecția erorilor este realizată folosind coduri care utilizează sume de control (checksum
39 codes), iar un regulator PID modifică tensiunea de alimentare în funcție de rata erorilor
detectate în circuit. Rezultatele obținute în acest caz indică faptul că se pot realiza reduceri
41 semnificative de putere consumată. Această metodă are dezavantajul că erorile care sunt
mai mici decât o anumită limită aleasă în prealabil sunt ignorate, nefiind detectate și apoi
43 compensate.

45 Brevetul **US 7730340 B2**, „*Method and apparatus for dynamic voltage and frequency
scaling*”, oferă o metodă de învățare a mașinii pentru a îmbunătăți predicția dinamică a utili-
zării procesorului pentru aplicații cu multiple fire de execuție la nivel de utilizator, într-un
47 mediu dinamic de funcționare, care se bazează pe istoria de utilizare a procesorului. Pentru
a reduce puterea consumată, se poate modifica tensiunea de alimentare și frecvența de

RO 130282 B1

funcționare a procesorului, în funcție de predicția de utilizare a acestuia. În acest caz, modificarea dinamică a frecvenței și a tensiunii de alimentare este realizată la nivelul aplicației utilizator și nu se bazează pe detecția erorilor în timpul funcționării. Dezavantajul este acela că tensiunea de alimentare a procesorului și frecvența acestuia sunt modificate pe baza istoricului de utilizare a procesorului.

Brevetul **US 7770034 B2** prezintă tehnici de scalare ale frecvenței și tensiunii, bazate pe monitorizarea datelor. Aceste tehnici pot fi folosite pentru gestionarea consumului de putere și energie ale procesoarelor în sisteme înglobate, cum sunt telefoane celulare, PDA-uri, etc. Ele pot fi întrebuințate în procesoare care oferă capacități de monitorizare ale performanțelor. Brevetul se referă la modificarea frecvenței și a tensiunii de alimentare în cazul procesoarelor, și, în particular, la tehnici pentru modificarea dinamică a frecvenței și a tensiunii de alimentare care utilizează un indicator de performanță. Dezavantajul este că brevetul are ca subiect modificarea dinamică a tensiunii de alimentare și a frecvenței pentru procesoare, efectuată la nivelul sistemului de operare.

Problema tehnică pe care o rezolvă invenția propusă constă în creșterea vitezei de operare a unităților aritmetice, reducerea puterii consumate și posibilitatea de modificare a fiabilității sistemului.

Metoda pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, conform invenției, se realizează într-un modul de ajustare dinamică a frecvenței prin detectarea erorilor datorate întârzierilor produse în circuit, printr-o schemă concurentă de detecție, utilizând codul rezidual cu baza 7, și prin modificarea perioadei semnalului de ceas într-o unitate aritmetică, pe baza detectării erorilor datorate întârzierilor produse în circuit, apariția unui anumit număr de erori superior celui acceptat conducând la scăderea frecvenței, iar un anumit număr de calcule corecte ducând la creșterea frecvenței.

Invenția prezintă următoarele avantaje:

- se reduce timpul necesar pentru efectuarea de operații în cadrul unei unități aritmetice, cu prețul apariției unui număr de erori prestabilit;

- se mărește media frecvenței de operare a sistemului;

- se asigură putere de calcul sporită (permite efectuarea unui număr mai mare de operații aritmetice într-o unitate de timp);

- realizarea detecției erorilor și modificării frecvenței în timpul funcționării, la nivel hardware;

- realizarea detecției erorilor în timpul funcționării circuitului, fără a fi necesară setarea în prealabil a parametrilor de funcționare;

- realizarea detecției erorilor în timpul funcționării sistemului și a scalării frecvenței semnalului de ceas folosit de circuit cu o întârziere minimă. În cazul de față, acest circuit este un procesor de semnal digital având sumatoare sau multiplicatoare în componența căii critice.

Se dau, în continuare, două exemple de realizare a invenției în legătură cu fig. 1...6, care reprezintă:

- fig. 1, circuit care implementează metoda de modificare dinamică a frecvenței bazată pe coduri reziduale;

- fig. 2, schema concurentă de detecție a erorilor pentru un sumator pe 32 de biți, utilizând cod rezidual cu baza 7 folosită pentru implementarea metodei;

- fig. 3, circuit pentru calcularea rezidului folosit pentru implementarea metodei;

- fig. 4, schema de modificare dinamică a frecvenței, în cazul arhitecturii non-pipelined;

- fig. 5, schemă concurentă de detecție a erorilor pentru un sumator pe 32 de biți utilizând cod rezidual cu baza 7, arhitectură pipelined, folosită pentru implementarea metodei;

- fig. 6, schemă de modificare dinamică a frecvenței în cazul arhitecturii pipelined.

RO 130282 B1

1 Metoda pentru detecția on-line a erorilor și pentru modificarea dinamică a frecvenței
într-o unitate aritmetică, conform invenției, se bazează pe modificarea dinamică a perioadei
3 semnalului de ceas într-o unitate aritmetică **1**, pe baza detectării erorilor datorate întârzierilor
produse în circuit, printr-o schemă concurentă de detecție care utilizează cod rezidual cu
5 baza 7. Prin folosirea acestei baze se va detecta orice eroare de 1 bit sau rafală de 2 biți
consecutivi eronați.

7 Metoda pentru detecția on-line a erorilor și pentru modificarea dinamică a frecvenței
într-o unitate aritmetică, conform invenției, presupune verificarea unei adunări efectuate
9 într-o unitate aritmetică **1** printr-un modul **2** de verificare prin cod rezidual cu baza 7 și modifi-
carea frecvenței printr-un modul **3** de ajustare dinamică a frecvenței, care, în funcție de
11 numărul admis de erori detectate, modifică frecvența cu care se efectuează operațiile.

Datorită faptului că aplicațiile dezvoltate în prezent necesită viteză sporită și consum
13 redus de putere, rata apariției erorilor cauzate de întârzierile din circuit devine din ce în ce
mai mare. O nouă abordare a acestei probleme este permiterea unui număr mic de erori
15 într-un anumit interval de timp, după care frecvența este adaptată. Această abordare este
oportună în cazul unui număr suficient de mare de aplicații, în care se permite apariția unei
17 erori fără a o corecta, deoarece s-ar consuma o cantitate prea mare de putere și prea mult
timp de execuție. De exemplu, procesarea grafică sau reprezentarea cantităților foarte mari
19 de date au rezultate a căror calitate nu este afectată de prezența unui număr redus de erori
apărute într-un interval scurt de timp.

21 Actuala invenție prezintă o metodă care permite nedetectarea unui număr de erori
prin ignorare, și care, după apariția unui anumit număr de erori ignorate, modifică frecvența
23 de operare. Erorile sunt detectate printr-o schemă concurentă de detecție, utilizând codul
rezidual de cost redus cu baza 7. Presupunându-se că majoritatea erorilor detectate sunt
25 datorate întârzierilor apărute în circuit, un modul **3** gestionează frecvența de operare a unității
aritmetice **1** în funcție de numărul de erori apărute.

27 Metoda de modificare dinamică a frecvenței se exemplifică prin circuitul prezentat în
fig. 1, care este compus dintr-o unitate aritmetică **1** ce realizează adunarea în cascadă pe
29 32 de biți, verificată cu ajutorul unui modul **2** de verificare prin cod rezidual de cost redus cu
baza 7 și un modul **3** de ajustare dinamică a frecvenței care controlează frecvența cu care
31 se realizează adunările, în funcție de numărul erorilor detectate de către modulul **2** de verifi-
care. Se presupune că o unitate aritmetică de însumare în cascadă pe 32 de biți are cea mai
33 lungă cale critică într-un circuit de procesare de semnale. Un circuit convențional func-
ționează la o frecvență impusă de lungimea acestei căi critice, iar în cazul metodei propuse
35 de această invenție, frecvența este modificată în funcție de o lege prestabilită, bazată pe
numărul de erori indicate de schema concurentă de detecție.

37 Pentru implementarea metodei de modificare dinamică a frecvenței într-o unitate
aritmetică, bazată pe detecția on-line a erorilor, s-au realizat două modele de arhitecturi ale
39 circuitului din fig. 1.

Primul model constă într-o arhitectură non-pipelined de detecție a erorilor, ilustrată
41 în fig. 2. În acest caz, metoda pentru modificarea dinamică a frecvenței într-o unitate
aritmetică **1**, conform invenției, se descrie prin următorii pași, cu referire la fig. 2:

43 Pasul 1:

45 a. se adună cei doi operanzi x și y de către unitatea aritmetică **1** în cascadă pe 32 de
biți;

47 b. se calculează reziduurile rx și ry ale celor doi operanzi - blocurile **4** și **5** de calcul
al reziduurilor;

RO 130282 B1

c. se calculează suma modulo 7 a reziduurilor rx și ry - blocul 6 de calcul al sumei reziduurilor.	1
Pasul 2. Se calculează reziduul $r(x+y)$ al adunării - blocul 7 de calcul al reziduului adunării.	3
Pasul 3. Se compară reziduul adunării $r(x+y)$ cu suma modulo 7 a reziduurilor celor doi operanzi $rx+ry$ - blocul 8 de comparare. O diferență constatată la comparare indică o eroare.	5 7
Pasul 4:	
a. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor;	9
b. se revine la pasul 1 pentru efectuarea următoarei operații de adunare.	11
Modul de calculare al reziduului unui număr de 32 de biți este prezentat în fig. 3. Datorită întârzierilor apărute în circuit, pentru realizarea modului 2 de verificare s-au folosit tranzistori mai rapizi decât cei care se află în componența unității aritmetice 1 în cascadă pe 32 de biți. Astfel, verificarea rezultatului adunării adaugă un timp suplimentar minim efectuării fiecărei adunări. O eroare detectată este cauzată fie de operarea sistemului la o frecvență mai ridicată decât este necesar, fie de o defecțiune apărută în unitatea aritmetică 1 sau în circuitul 2 de verificare. Presupunând că majoritatea erorilor sunt cauzate de frecvența neadaptată, modulul 3 responsabil cu ajustarea dinamică a frecvenței acționează în funcție de erorile detectate de modulul 2 de verificare.	13 15 17 19
Prin implementarea unei legi simple de modificare a frecvenței, ilustrată în fig. 4, modificând frecvența între 5,2 și 12,5 MHz, după cum urmează: la detectarea unei erori, frecvența se modifică la valoarea inferioară, iar la detectarea a 3 adunări consecutive corecte, valoarea frecvenței este crescută prin reducerea perioadei semnalului de ceas cu 10 ns, s-a obținut o reducere semnificativă a timpului necesar efectuării unei secvențe de adunări, permițându-se un anumit număr de erori. Simulările efectuate indică o rată a erorilor de 0,27% și o îmbunătățire cu 21,11% a timpului necesar pentru efectuarea a 10000 de adunări.	21 23 25 27
Al doilea exemplu de realizare a invenției este redat prin intermediul unui circuit cu o arhitectură de tip pipelined pentru detecția erorilor, prezentată în fig. 5. În acest caz, metoda pentru modificarea dinamică a frecvenței într-o unitate aritmetică, conform invenției, se descrie prin următorii pași:	29 31
Pasul 1:	33
a. calcularea reziduului adunării precedente pe 32 de biți - blocul 9 de calcul al reziduului;	35
b. calcularea adunării curente pe 32 de biți de către unitatea aritmetică 1 și calcularea reziduurilor celor doi operanzi pentru adunarea curentă - blocurile 10 și 11 de calcul al reziduului.	37
Pasul 2:	39
a. se compară reziduul adunării precedente pe 32 de biți cu suma modulo 7 a reziduurilor celor 2 operanzi pentru adunarea precedentă - blocul 12 de comparare;	41
b. se calculează suma modulo 7 a reziduurilor celor doi operanzi ai adunării curente pe 32 de biți - blocul 13 de calcul al sumei reziduurilor.	43
Pasul 3:	
a. se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor;	45
b. se revine la pasul 1, pentru efectuarea următoarei operații de adunare.	47

RO 130282 B1

1 Aceasta metodă oferă o îmbunătățire importantă față de prima: la fiecare pas se
verifică adunarea de la pasul precedent și, în acest fel, timpul redundant este dat doar de
3 întârzierea cauzată de calcularea reziduurilor operanzilor și adunarea acestora - blocul **13**
de calcul al sumei reziduurilor, sau de calcularea reziduului rezultatului precedent - blocul
5 **9** de calcul al reziduului. În cadrul perioadei T, cu referire la fig. 6, se calculează adunarea
celor doi operanzi - faza **14** și, în paralel, reziduul fiecăruia - fazele **15** și, respectiv, **16**, apoi
7 suma modulo 7 a acestora - faza **17**. În același timp, se calculează reziduul rezultatului de
la pasul T-1 - faza **18** și acesta se compară la faza **20** cu suma reziduurilor celor doi operanzi
9 de la pasul T-1 la faza **19**. Astfel, la pasul T vom avea rezultatul adunării curente obținute la
faza **17** și rezultatul comparației reziduurilor de la pasul T-1 obținut la faza **20** care indică
11 prezența unei erori apărute în efectuarea adunării de la acest pas (T-1). În fig. 6 se prezintă
modificarea frecvenței, bazată pe o lege simplă.

13 Eficiența metodei este evidențiată prin simularea circuitului folosind o lege simplă
pentru controlul frecvenței. Aceasta a fost modificată dinamic între 3,03 și 10 MHz, după cum
15 urmează: la detectarea unei erori se modifică frecvența care este adusă la valoarea minimă,
iar la detecția unei adunări corecte (nu se detectează o eroare), frecvența este sporită,
17 micșorând perioada semnalului de ceas cu 10 ns dacă aceasta nu are valoarea minimă
admisă. Astfel, s-a ajuns la o îmbunătățire cu 28,58% a timpului necesar pentru efectuarea
19 a 10000 de adunări cu prețul unei rate a erorilor de 1,93%. Timpul necesar pentru adunarea
unei secvențe de 10000 de perechi de numere de 32 de biți, în cazul unei arhitecturi clasice,
21 presupune o perioadă fixă de 330 ns, cea mai lungă perioadă necesară pentru efectuarea
unei adunări fără a exista posibilitatea producerii unei erori de întârziere.

RO 130282 B1

Revendicări

	1
1. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, caracterizată prin aceea că aceasta se realizează într-un modul de ajustare dinamică a frecvenței (3) prin executarea următoarelor etape:	3
- se detectează erorile datorate întârzierilor produse în circuit, printr-o schemă concurrentă de detecție, utilizând codul rezidual cu baza 7;	5
- se modifică perioada semnalului de ceas într-o unitate aritmetică (1), pe baza detectării erorilor datorate întârzierilor produse în circuit, apariția unui anumit număr de erori superior celui acceptat conducând la scăderea frecvenței, iar un anumit număr de calcule corecte ducând la creșterea frecvenței.	7
2. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică (1) bazată pe detecția on-line a erorilor, conform revendicării 1, caracterizată prin aceea că pe o arhitectură non-pipelined se execută următoarele etape:	9
- se adună cei doi operanzi (x și y) de către unitatea aritmetică (1) în cascadă pe 32 de biți; se calculează reziduurile (rx și ry) celor doi operanzi în blocurile (4 și 5) de calcul al reziduurilor; se calculează suma modulo 7 a reziduurilor (rx și ry) în blocul (6) de calcul al sumei reziduurilor;	11
- se calculează reziduul ($r(x+y)$) adunării în blocul (7) de calcul al reziduului adunării;	13
- se compară reziduul adunării ($r(x+y)$) cu suma modulo 7 a reziduurilor celor doi operanzi ($rx+ry$) în blocul (8) de comparare. O diferență constatată la comparare indică o eroare.	15
- se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor și se repetă metoda.	17
3. Metodă pentru modificarea dinamică a frecvenței într-o unitate aritmetică bazată pe detecția on-line a erorilor, conform revendicării 1, caracterizată prin aceea că , pe o arhitectură pipelined, se execută următoarele etape:	19
- se calculează reziduul adunării precedente pe 32 de biți în blocul (9) de calcul al reziduului; se calculează adunarea curentă pe 32 de biți de către sumatorul (1) și se calculează reziduurile celor doi operanzi pentru adunarea curentă în blocurile (10 și 11) de calcul al reziduului;	21
- se compară reziduul adunării precedente pe 32 de biți cu suma modulo 7 a reziduurilor celor 2 operanzi pentru adunarea precedentă în blocul (12) de comparare; se calculează suma modulo 7 a reziduurilor celor doi operanzi ai adunării curente pe 32 de biți în blocul (13) de calcul al sumei reziduurilor;	23
- se modifică frecvența pentru următoarea adunare, după o lege de modificare a frecvenței, în funcție de numărul erorilor, și se repetă metoda.	25

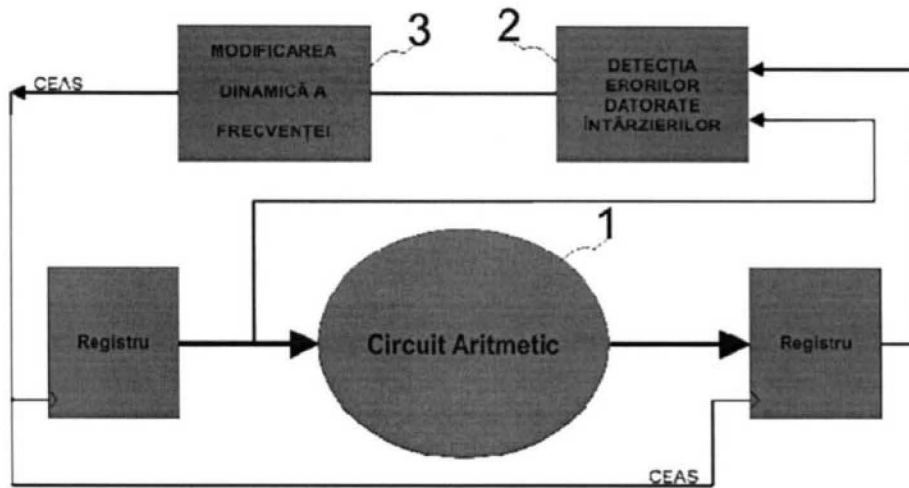


Fig. 1

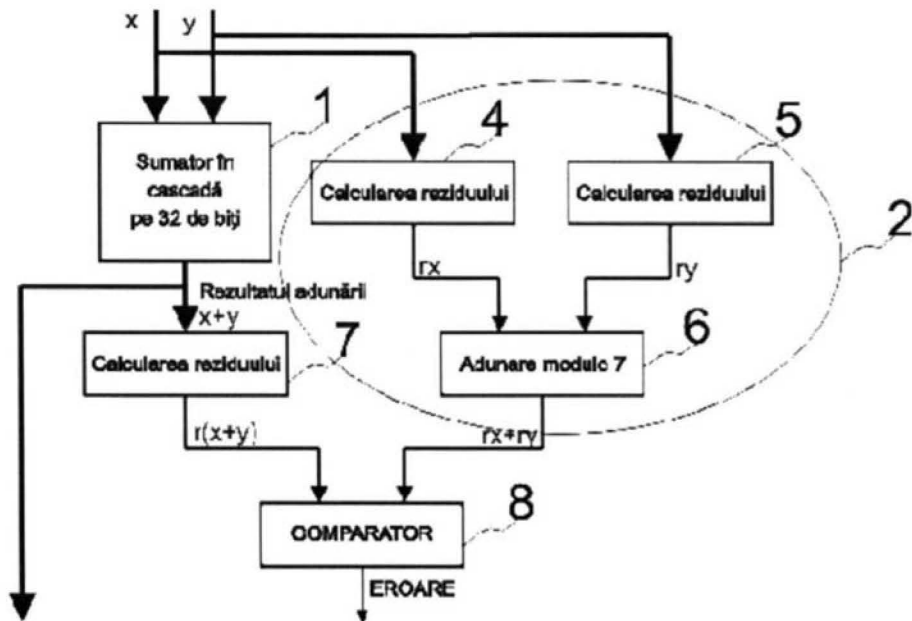


Fig. 2

(51) Int.Cl.

G06F 1/08 (2006.01),
G06F 11/08 (2006.01)

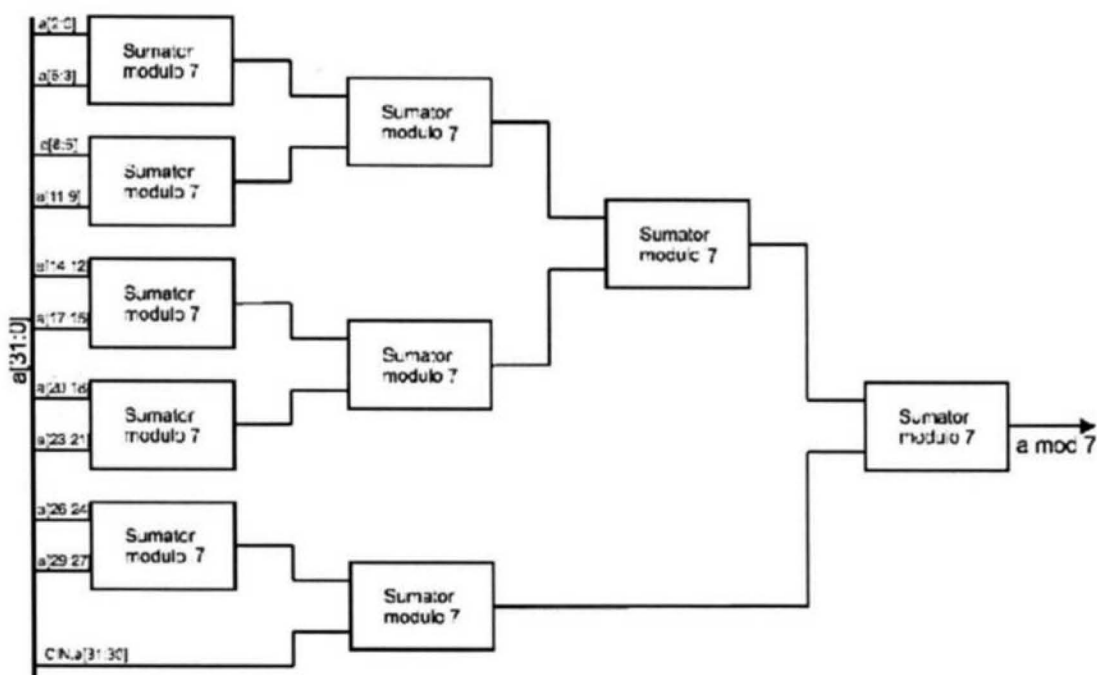


Fig. 3

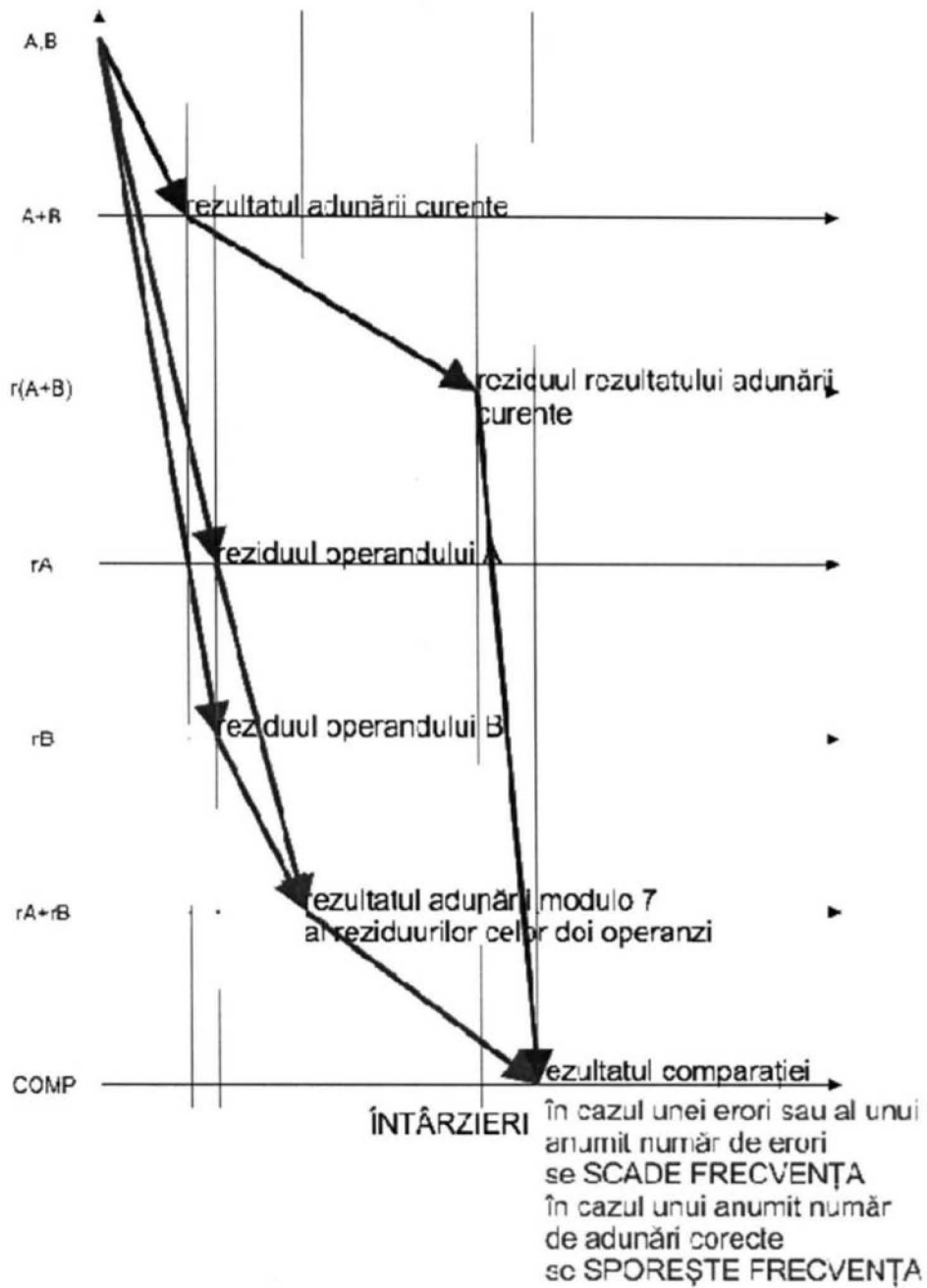


Fig. 4

(51) Int.Cl.

G06F 1/08 (2006.01),

G06F 11/08 (2006.01)

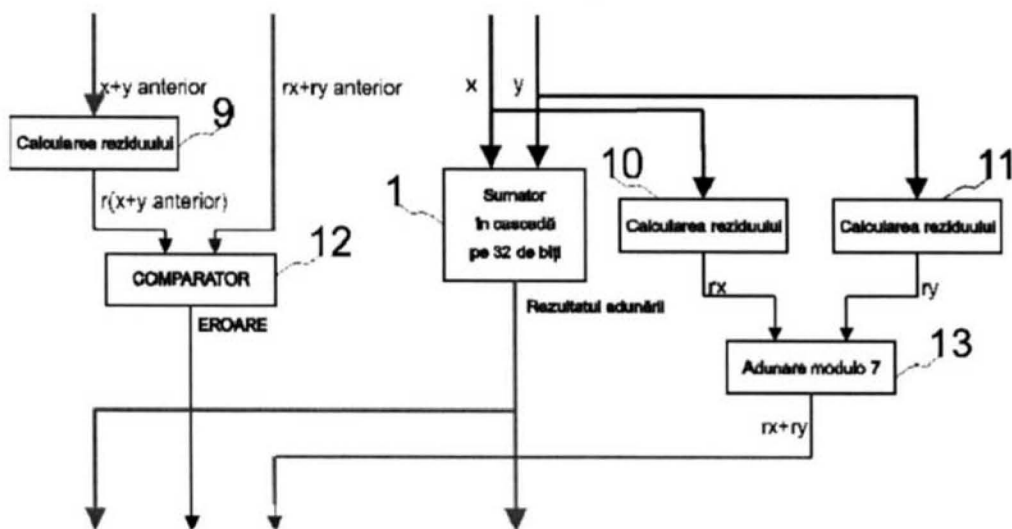


Fig. 5

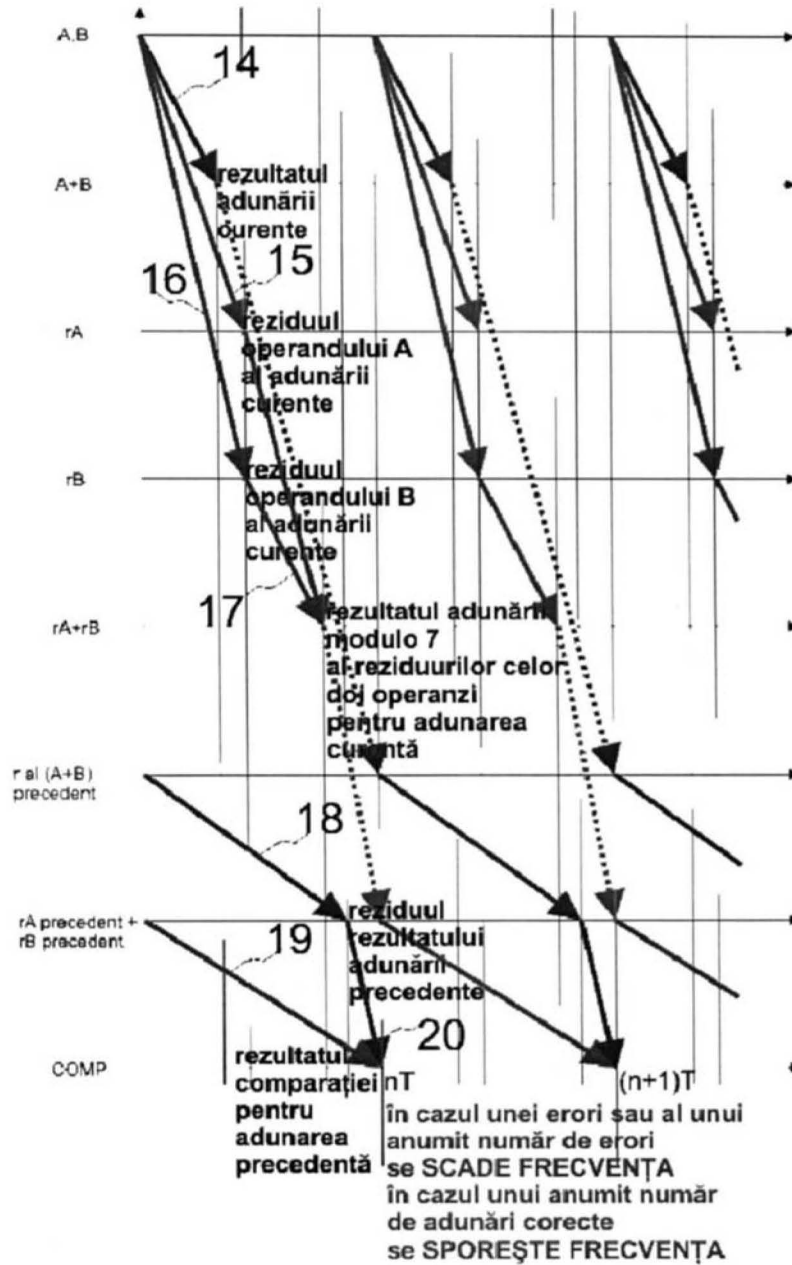


Fig. 6

