



(12)

BREVET DE INVENȚIE

(21) Nr. cerere: **a 2014 00474**

(22) Data de depozit: **14/12/2012**

(45) Data publicării mențiunii acordării brevetului: **30/01/2023** BOPI nr. **1/2023**

(30) Prioritate:

22/12/2011 US 13/334,538

(41) Data publicării cererii:

30/01/2015 BOPI nr. **1/2015**

(86) Cerere internațională PCT:

Nr. **US 2012/069903** **14/12/2012**

(87) Publicare internațională:

Nr. **WO 2013/096135** **27/06/2013**

(73) Titular:

• **LANDIS+GYR TECHNOLOGIES, LLC,**
6436 COUNTY ROAD 11, PEQUOT LAKES,
MN, US

(72) Inventatori:

• **GLENDE JAMES HILMER, 6584 MARY**
STREET, BAXTER, MN, US

(74) Mandatar:

ENPORA BRAND MANAGEMENT S.R.L.,
STR. GEORGE CĂLINESCU NR. 52A, AP. 1,
SECTOR 1, BUCUREȘTI

(56) Documente din stadiul tehnicii:

EP 1432139 A2; US 5640416 A;
US 2006/0062363 A1; US 2011/0082654 A1;
US 2010/0020908 A1; US 2004/0128088 A1;
US 6263195 B1

(54) **APARAT ȘI METODĂ PENTRU RECEPȚIA COMUNICAȚIILOR
DE DATE PRIN LINIILE DE DISTRIBUȚIE A ENERGIEI
ELECTRICE ȘI DISPOZITIV UTILIZAT ÎN CADRUL
APARATULUI**



RO 130020 B1

1 Invenția se referă la un aparat și la o metodă pentru recepția comunicațiilor de date
2 prin liniile de distribuție a energiei electrice pentru transportul energiei electrice de c.a.,
3 aparat având la bază circuite de procesare semnale de date.

4 Invenția se referă, de asemenea la un dispozitiv utilizat în cadrul aparatului pentru
5 recepția comunicațiilor de date prin liniile de distribuție a energiei electrice pentru transportul
6 energiei electrice de c.a..

7 Prezentul document de brevet revendică prioritatea cererii de brevet US 13/334538,
8 depusă la data de 22.12.2011, al cărei conținut este inclus în totalitate prin referință.

9 Furnizorii de servicii utilizează rețelele distribuite cu scopul de a oferi servicii clienților
10 plasați pe cuprinsul unor zone geografice mari. De exemplu, companiile de electricitate
11 utilizează liniile de distribuție a energiei electrice pentru a transporta energia electrică de la
12 una sau mai multe stații de producere a energiei (centrale electrice) la clienții din complexe
13 rezidențiale sau la cei comerciali deopotrivă. Stațiile de producere a energiei utilizează
14 curent alternativ (c.a.) pentru a transmite energia electrică pe distanțe mari prin intermediul
15 liniilor de distribuție electrică. Transportul pe distanțe mari poate fi realizat prin utilizarea unui
16 nivel relativ ridicat de tensiune. Substațiile plasate în apropierea locațiilor în care se află
17 clienții realizează coborârea nivelului de tensiune, mai exact înalta tensiune o transformă în
18 joasă tensiune (de exemplu, folosind transformatoare). Liniile de distribuție a energiei elec-
19 trice transportă această joasă tensiune alternativă de la substații către dispozitivele consu-
20 matoare din locațiile în care se află clienții.

21 Furnizorii de comunicații pot utiliza o rețea de comunicații distribuită pentru a oferi
22 servicii de comunicații clienților. În mod similar, companiile energetice utilizează rețele de linii
23 de distribuție a energiei electrice, aparate de măsură și alte elemente de rețea pentru a oferi
24 energie electrică clienților plasați pe o întreagă zonă geografică și pentru a recepționa date
25 de la locațiile clienților inclusiv, dar fără a se limita la, date ce reprezintă gradul de utilizare
26 a utilității măsurate. Cu toate acestea, comunicarea de date din cadrul unui sistem ce conține
27 mii de dispozitive ce reprezintă puncte finale de consum, fiecare comunicând prin intermediul
28 liniilor de distribuție a energiei electrice, poate reprezenta o problemă deosebit de dificilă.
29 Numărul mare de dispozitive ce reprezintă puncte finale de consum contribuie la o serie de
30 probleme, inclusiv procesarea puterii la nivelul punctului final de consum, dimensiunea
31 memoriei, interferențe și alte preocupări. De exemplu, sincronizarea dintre un punct final de
32 consum și un dispozitiv care transmite în aval față de punctul final de consum poate fi
33 complicată atât de acești factori cât și de alții.

34 Prezenta invenție se referă la sisteme și metode utilizate împreună cu comunicații ce
35 necesită sincronizare realizată de un dispozitiv receptor ce utilizează multiple rate de
36 eșantionare. Acestea și alte aspecte ale prezentei invenții sunt exemplificate prin intermediul
37 ilustrării unui număr de exemple de implementări și aplicații, unele dintre care sunt pre-
38 zentate în figuri și caracterizate în capitolul de revendicări ce urmează.

39 Anumite variante de realizare ale prezentei invenții se referă la decodificarea de
40 comunicații de date primite de către dispozitivele ce reprezintă puncte finale de consum
41 utilizând rate de eșantionare reduse pentru porțiuni ale procesului de decodificare. Un circuit
42 de recepționare poate fi configurat și conceput pentru a decima o versiune supraeșantionată
43 a unui semnal de intrare. O versiune decimată a semnalului de intrare poate fi utilizată
44 împreună cu diferite funcții de procesare a semnalului. În conformitate cu exemplele de reali-
45 zare ale prezentei invenții, versiunea supraeșantionată poate fi utilizată pentru a determina
46 informația de sincronizare care este folosită pentru a oferi sincronizare, prin ajustarea ratei
47 de decimare (subeșantionare).

RO 130020 B1

Exemplele de realizare ale prezentei descrieri sunt, prin urmare, direcționate către un aparat ce are la bază un circuit și către o metodă de utilizare a aparatului.	1
Aparatul este configurat împreună cu un circuit de procesare pentru a recepționa comunicații de date prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (c.a.). Circuitul de procesare poate fi configurat să recepționeze un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice. Semnalul de intrare poate fi reprezentat de către o undă purtătoare modulată ce funcționează la o frecvență dată. Dacă se dorește, semnalul de intrare poate fi demultiplicat în banda de bază pentru procesarea semnalului. Dacă semnalul de intrare utilizează modulația în cuadratură, atunci semnalele intermediare pot fi folosite pentru a separa o parte reală de o parte imaginară a semnalului de intrare. Procesorul poate detecta apoi limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare inițială (supra-eșantionare). Decimarea este apoi realizată pentru a reduce rata de eșantionare inițială a semnalelor intermediare în conformitate cu o rată de decimare (subeșantionare). Semnalele intermediare, acum eșantionate cu o rată de eșantionare redusă, pot fi apoi filtrate.	3 5 7 9 11 13 15
Așa cum se descrie aici, decimarea poate fi deosebit de utilă în combinație cu filtre pentru a oferi reacție inversă (feedback), feedback care poate necesita mai multă memorie sau procesare pentru rate de eșantionare mai mari. Circuitul de procesare poate apoi determina o neconcordanță de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă. Rata de decimare este apoi ajustată în funcție de neconcordanța de temporizare determinată.	17 19 21
Unul sau mai multe exemple de realizare ale invenției sunt direcționate către un aparat ce are la bază un circuit utilizat pentru recepționarea comunicațiilor de date prin intermediul unor linii de distribuție ce transportă energie electrică utilizând curent alternativ (c.a.). Aparatul are un circuit de procesare ce este configurat și conceput să recepționeze un semnal de intrare care reprezintă comunicațiile de date transportate prin intermediul liniilor de distribuție a energiei. Pentru un semnal codificat în cuadratură, semnalul de intrare este separat în semnale intermediare ce reprezintă o parte reală și o parte imaginară. Circuitul de procesare poate apoi determina informații de temporizare provenite din partea reală și din partea imaginară. Semnalele intermediare pot fi apoi decimate (subeșantionate) conform unei rate de decimare variabile, în funcție de informația de temporizare determinată. Semnalele intermediare decimate sunt, de asemenea, filtrate.	23 25 27 29 31
Alte exemple de realizare sunt direcționate către aparate ce au la bază circuite și către metode de utilizare a aparatelor pentru recepționarea comunicațiilor de date prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (c.a.). Aparatele pot include unul sau mai multe circuite de procesare utilizate (sau cofigurate și concepute) să recepționeze un semnal de intrare ce reprezintă comunicații de date transmise prin intermediul liniilor de distribuție a energiei. Semnalele intermediare sunt obținute din câte o parte reală a semnalului de intrare și o parte imaginară a semnalului de intrare. Limitele simbolului sunt detectate prin procesarea semnalelor intermediare la o rată de eșantionare inițială. Rata inițială de eșantionare a semnalelor intermediare este redusă/decimată conform unei rate de decimare (subeșantionare). Semnalele intermediare sunt apoi filtrate cu o rată redusă de eșantionare. O neconcordanță de temporizare este determinată între limitele de simbol detectate și eșantioanele ce corespund ratei de eșantionare redusă. Rata de decimare este ajustată în funcție de neconcordanța de temporizare determinată.	33 35 37 39 41 43 45
Diferite variante de realizare ale prezentei invenții sunt direcționate către un dispozitiv care are unul sau mai multe circuite configurate și concepute să includă sau să ofere un prim integrator configurat să genereze o primă ieșire de integrare ce reprezintă integrarea părții	47

RO 130020 B1

1 reale a simbolului. Un al doilea integrator este prevăzut pentru a fi configurat să genereze
o a doua ieșire de integrare ce reprezintă integrarea părții imaginare a simbolului. De aseme-
3 nea, este prevăzut un indicator al intensității semnalului ce este configurat să determine o
intensitate a semnalului din prima ieșire de integrare și din cea de-a doua ieșire de integrare.
5 Un controler decimator este configurat să genereze un semnal de control de decimare în
funcție de intensitatea semnalului. Un prim decimator este configurat să reducă o primă rată
7 de eșantionare corespunzătoare primei ieșiri de integrare la o rată de eșantionare care este
controlată de către un semnal de control de decimare. Un al doilea decimator este configurat
9 să reducă o a doua rată de eșantionare corespunzătoare celei de-a doua ieșiri de integrare
la o rată de eșantionare care este controlată de către un semnal de control de decimare. De
11 asemenea, din dispozitiv mai face parte și un filtru de tip pieptene configurat să filtreze
ieșirea primului decimator. Un al doilea filtru de tip pieptene este configurat să filtreze ieșirea
13 celui de-al doilea integrator.

Prezentarea pe scurt a invenției, realizată mai sus, nu intenționează să descrie
15 fiecare exemplu de realizare sau fiecare implementare a prezentei invenții. Figurile și des-
crierea detaliată care urmează, inclusiv ceea ce se prezintă în capitolul de revendicări, expun
17 mai în detaliu unele dintre aceste exemple de realizare.

Diferite exemple de realizare ale prezentei invenții pot fi mai bine înțelese luând în
19 considerare descrierea detaliată ce urmează împreună cu figurile însoțitoare, care reprezintă:

- fig. 1, prezintă o diagramă bloc al unuia sau mai multor circuite de procesare,
21 în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 2, prezintă o diagramă bloc pentru un dispozitiv receptor plasat în aval (localizat
23 în punctul final de consum), în conformitate cu exemplele de realizare ale invenției expuse
în prezenta descriere;

- fig. 3, prezintă o diagramă bloc a unei transformate Fourier discrete complexe
25 (CDFT - complex discrete Fourier transform), în conformitate cu exemplele de realizare ale
invenției expuse în prezenta descriere;

- fig. 4A, este un grafic al răspunsului în frecvență a unui filtru experimental CIC
29 (cascaded integrator comb - cascadă de integrator de filtru pieptene) pentru $M = 1$, în
conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 4B, este un grafic al răspunsului în frecvență a unui filtru experimental CIC
31 (cascaded integrator comb - filtru pieptene integrator în configurație cascadă) pentru
33 $M = 3$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 5, prezintă o diagramă bloc a unei CDFT alternative, în conformitate cu
35 exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 6, prezintă o diagramă de flux exemplificativă pentru modul în care se poate
37 realiza implementarea prelucrării și decodificării simbolurilor recepționate, în conformitate cu
exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 7, prezintă o diagramă de flux exemplificativă pentru modul în care se poate
39 implementa un filtru pieptene integrator în configurație cascadă (CCIC), în conformitate cu
41 exemplele de realizare ale invenției expuse în prezenta descriere;

- fig. 8, prezintă o diagramă de flux exemplificativă pentru modul în care se poate
43 implementa sincronizarea simbolului, în conformitate cu exemplele de realizare ale invenției
expuse în prezenta descriere;

- fig. 9, prezintă o diagramă de flux exemplificativă pentru modul în care se poate
45 determina gradul de ajustare a sincronizării, în conformitate cu exemplele de realizare ale
47 invenției expuse în prezenta descriere;

RO 130020 B1

- fig. 10A, este un grafic al unui semnal supraeșantionat cu o eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;	1
- fig. 10B, este un grafic al unui semnal supraeșantionat fără eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere; și	3
- fig. 11, este un grafic al unui semnal supraeșantionat, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere.	5
Deși descrierea poate fi îmbunătățită cu diverse modificări și forme alternative, exemple ale acestora au fost prezentate prin intermediul variantelor de realizare din figuri și urmează a fi descrise în detaliu. Trebuie înțeles faptul că, totuși, intenția nu este de a limita dezvoltarea invenției la variantele particulare de realizare a invenției prezentate și/sau descrise. Dimpotrivă, intenția este de a acoperi toate modificările, echivalențele și alternativele care se încadrează în spiritul și scopul dezvoltării invenției de față.	7 9 11
Aspecte ale prezentei descrieri sunt considerate a fi aplicabile unei varietăți de diferite tipuri de dispozitive, sisteme și modalități de dispunere, inclusiv pentru cele care pot fi implementate cu scopul de a furniza corecția sincronizării. În timp ce prezenta descriere nu se limitează, în mod necesar, la asemenea aplicații, diferite aspecte ale dezvoltării pot fi apreciate printr-o discuție referitoare la diferite exemple folosind acest context.	13 15 17
Exemple ale variantelor de realizare a prezentei invenții sunt direcționate către o metodă, un dispozitiv, un sistem sau un aparat conceput să faciliteze decodificarea comunicațiilor de date recepționate de către dispozitivele ce reprezintă puncte finale de consum. De exemplu, un circuit de recepționare pentru un punct final de consum poate fi configurat și conceput pentru a utiliza o versiune supraeșantionată a unui semnal recepționat pentru o primă porțiune de procesare. Versiunea supraeșantionată poate fi decimată pentru a reduce rata de eșantionare pentru o a doua porțiune de procesare. Utilizarea unei rate reduse de eșantionare poate fi deosebit de utilă pentru reducerea procesării și/sau a cerințelor de stocare legate de procesarea eșantioanelor. De exemplu, o componentă utilizată pentru stocare poate funcționa cu mai puține cerințe legate de operații, iar o componentă de feedback poate funcționa cu mai puține cerințe de memorare/stocare. În conformitate cu variantele de realizare ale prezentei invenții, versiunea supraeșantionată poate fi utilizată pentru a determina informația de sincronizare în funcție de elementele de decodificare care funcționează pe baza versiunii ratei de eșantionare reduse a semnalelor de intrare.	19 21 23 25 27 29 31
În cadrul mai multor variante particulare de realizare a prezentei invenții, sincronizarea poate fi efectuată prin ajustarea ratei de decimare (subeșantionare). Acest lucru permite un reglaj mai fin al timpului la care elementele de decodificare ale simbolului recepționează eșantioanele (unde elementele de decodificare ale simbolului funcționează utilizând versiunea de rată de eșantionare redusă a semnalelor). Acest lucru se datorează faptului că rata de decimare este conectată cu timpul dintre eșantioanele selectate din versiunea supraeșantionată.	33 35 37 39
Diferite variante de realizare ale prezentei invenții recunosc faptul că informația legată de temporizarea simbolului poate fi obținută din versiunea supraeșantionată fără existența unui feedback direct provenit de la procesul de decodificare al simbolului. Astfel, variantele de realizare oferă sincronizare fără existența unei bucle de feedback aferente decodificării logice a simbolului. Exemple mai particulare de realizare a invenției recunosc faptul că această informație de temporizare a simbolului poate fi obținută utilizând un algoritm pentru detectarea intensității semnalului în urma unei integrări matematice a părților reale și imaginare ale versiunii supraeșantionate ale semnalelor.	41 43 45 47

RO 130020 B1

1 Exemplele de realizare ale prezentei descrieri sunt, prin urmare, direcționate către
un aparat ce are la bază un circuit și către metoda de utilizare a aparatului. Aparatul este
3 prevăzut cu un circuit de procesare și este configurat să recepționeze comunicațiile de date
prin intermediul unor linii de distribuție care transportă energie electrică utilizând curent
5 alternativ (c.a.). Circuitul de procesare poate fi configurat pentru a recepționa un semnal de
intrare reprezentând comunicațiile de date transmise prin intermediul liniilor de distribuție a
7 energiei electrice. Acest semnal de intrare poate fi reprezentat de către o undă purtătoare
modulată ce funcționează la o frecvență dată. Dacă se dorește, semnalul de intrare poate
9 fi demultiplicat în banda de bază pentru procesarea semnalului. Dacă semnalul de intrare
utilizează modulația în cuadratură, atunci semnalele intermediare pot fi folosite pentru a
11 separa o parte reală de o parte imaginară a semnalului de intrare. Procesorul poate detecta
apoi limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare
13 inițială (supraeșantionare). Decimarea este apoi realizată pentru a reduce rata de eșantio-
nare inițială a semnalelor intermediare în conformitate cu o rată de decimare (subeșantio-
15 nare). Semnalele intermediare, acum eșantionate cu o rată de eșantionare redusă, pot fi apoi
filtrate. Așa cum se descrie aici, decimarea poate fi deosebit de utilă în combinație cu filtre
17 pentru a oferi reacție inversă (feedback), feedback care poate necesita mai multă memorie
sau procesare pentru rate de eșantionare mai mari. Circuitul de procesare poate apoi
19 determina o neconcordanță de temporizare între limitele detectate ale simbolului și
eșantioanele corespunzătoare ratei de eșantionare redusă. Rata de decimare este apoi
21 ajustată în funcție de neconcordanța de temporizare determinată.

Pentru exemple particulare de realizare a prezentei invenții, filtrul este un filtru tip
23 pieptene care utilizează un parametru de întârziere. Parametrul de întârziere sereferă la
timpul în care informațiile de semnal sunt stocate și utilizate pentru feedback în cadrul
25 operației de filtrare. Pentru un timp de întârziere dat, cantitatea de date stocate este direct
legată de rata de eșantionare. Astfel, dacă rata de eșantionare este redusă, cantitatea de
27 date stocate și/sau procesate ca parte din feedback este, de asemenea, redusă.

Aspecte ale prezentei descrieri recunosc faptul că, pentru o rată de eșantionare dată,
29 ajustările ratei de decimare conduc la o modificare a timpului în care eșantioanele decimate
(subeșantionate) sunt selectate/înregistrate. Astfel, temporizarea eșantioanelor de decimare,
31 corespunzătoare semnalului de intrare, pot fi ajustate prin modificarea ratei de decimare.
Ajustarea poate fi utilizată pentru a oferi sincronizare decodificării ulterioare.

33 Una sau mai multe variante particulare de realizare a prezentei invenții sunt direc-
ționate către un aparat ce se bazează pe un circuit de recepționare a comunicațiilor de date
35 prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curentul alter-
nativ (c.a.). Aparatul are un circuit de procesare ce este configurat și conceput să recepțio-
37 neze un semnal de intrare care reprezintă comunicațiile de date transportate prin intermediul
liniilor de distribuție a energiei. Pentru un semnal codificat în cuadratură, semnalul de intrare
39 este separat în semnale intermediare ce reprezintă o parte reală și o parte imaginară.
Circuitul de procesare poate apoi determina informații de temporizare provenite din partea
41 reală și din partea imaginară. Semnalele intermediare pot fi apoi decimate sau subeșantio-
nate conform unei rate de decimare sau subeșantionare variabilă, în funcție de informația
43 de temporizare determinată. Semnalele intermediare decimate sunt, de asemenea, filtrate.

În conformitate cu anumite variante de realizare ale prezentei invenții, filtrul include
45 o componentă de întârziere a reacției (*feedback*), iar informația de temporizare este
determinată utilizând date obținute din integrarea semnalelor intermediare. În unele cazuri,
47 datele obținute pot fi utilizate pentru determinarea unui nivel al puterii recepționate cores-
punzătoare unui simbol transmis.

RO 130020 B1

În anumite variante de realizare ale invenției, circuitele de procesare pot fi configurate și concepute pentru a fi utilizate împreună cu un sistem de comunicație care utilizează linii de distribuție a energiei electrice pentru a comunica date între un centru de comandă și dispozitive ce reprezintă puncte finale de consum utilizând noduri intermediare de colectare a datelor (dispozitive de colectare a datelor). Acest tip de sistem poate fi deosebit de util pentru contorizarea consumului raportat, precum și pentru alte funcții. De exemplu, datele pot fi furnizate de către contoare de putere, contoare de gaze și contoare de apă, care sunt instalate în rețele de distribuție de gaz, respectiv, de apă. Mai mult, în timp ce prezenta descriere se referă în general la puncte finale de consum ca furnizoare de date legate de utilități (de exemplu, putere) către contoarele de utilități, și alte tipuri de date pot fi, de asemenea, comunicate. Interfața cu centrul de comandă poate fi implementată utilizând o varietate de diferite rețele de comunicație ce includ, dar nu se limitează la, o rețea de arie largă (WAN) folosind Ethernet.

În conformitate cu exemplele de realizare ale prezentei invenții, fiecare dispozitiv de colectare a datelor poate fi configurat pentru a comunica cu mii de puncte finale de consum și pot exista mii de dispozitive de colectare a datelor conectate cu un centru de comandă. Astfel, pot exista milioane de puncte finale totale de consum și multe mii de aceste puncte finale de consum pot comunica prin intermediul unei linii comune de distribuție a energiei. În consecință, variante de realizare, descrise în prezenta descriere, sunt direcționate către comunicarea, coordonarea și interpretarea datelor în raport cu restricțiile sistemului. Următoarea discuție oferă o privire de ansamblu asupra diferitelor aspecte ale sistemului, fiind relevantă pentru unele din aceste restricții.

Punctele finale de consum pot fi proiectate pentru a monitoriza și raporta diverse caracteristici de operare ale rețelei de serviciu. De exemplu, în cadrul unei rețele de distribuție a energiei electrice, contoarele pot monitoriza caracteristicile referitoare la consumul de putere din rețea. Exemple legate de caracteristici ce definesc consumul de putere din rețea includ consumul de putere mediu sau total, căderile de tensiune și modificări ale sarcinii, printre altele. În rețelele de distribuție de gaz și apă, contoarele pot măsura caracteristici similare care sunt legate de consumul de gaz și de apă (de exemplu, debitul total și presiunea).

Punctele finale de consum raportează caracteristicile de funcționare ale rețelei prin intermediul canalelor de comunicație. În anumite variante de realizare ale invenției, canalele de comunicație sunt reprezentate de porțiuni ale spectrului de frecvență. Frecvența centrală și lărgimea de bandă ale fiecărui canal de comunicație pot depinde de sistemul de comunicații în care acesta este implementat. În unele implementări, canalele de comunicații pentru contoarele de utilități (de exemplu, contoare de energie, gaz și/sau apă) pot fi transmise utilizând rețele de comunicații ce utilizează linii ce transportă energie electrică care alocă lărgimea de bandă disponibilă între punctele finale de consum în funcție de o tehnică de alocare a spectrului ce se bazează pe acces multiplu cu diviziune ortogonală de frecvență (OFDMA - orthogonal frequency division multiple access) sau în funcție de o altă tehnică de alocare a canalului.

Atunci când punctele finale de consum sunt implementate în conexiune cu contoarele de energie dintr-o rețea de distribuție a energiei electrice, punctele finale de consum raportează date care actualizează informațiile provenite de la contoare. Datele actualizate ale contoarelor pot include mărimi ale puterii consumate totale, consumul de putere de-a lungul unei perioade specifice de timp, consumul de energie corespunzător orelor de vârf, tensiunea instantanee, tensiunea de vârf, tensiunea minimă și alte mărimi referitoare la consumul de putere și la gestionarea puterii (de exemplu, informații legate de încărcarea în

RO 130020 B1

1 sarcină). Fiecare dintre punctele finale de consum pot, de asemenea, transmite și alte tipuri
de date, cum ar fi date de stare (de exemplu, funcționarea într-un mod normal de funcțio-
3 nare, modul de alimentare de urgență, sau o altă stare cum ar fi o stare de revenire ce
urmează unei pene de curent).

5 În unele implementări, simbolurile (ce reprezintă unul sau mai mulți biți reprezentând
raportarea și/sau datele de stare) sunt transmise prin liniile de distribuție ale energiei
7 electrice de-a lungul unei perioade specifice de simbol. O perioadă de simbol reprezintă o
perioadă de timp de-a lungul căreia este comunicat fiecare simbol. Un număr de simboluri
9 sunt conținute în cadrul unei perioade de cadru, reprezentând timpul în care un cadru
complet este transmis, în care fiecare cadru oferă sincronizare pentru simbolurile aceluiași
11 cadru de date.

13 Conform unor exemple de realizare ale prezentei invenții, dispozitivele de colectare
a datelor sunt instalate în substații și sunt utilizate pentru a controla comunicarea
bidirecțională atât cu centrul de comandă (de exemplu, localizat la un oficiu de utilități) cât
15 și cu punctele finale de consum (de exemplu, situate în locații de monitorizare ale clienților).
Acest schimb de mesaje cu punctele finale de consum poate fi trimis în mod individual numai
17 către un punct final de consum sau poate fi difuzat simultan la un grup de puncte finale de
consum conectate cu dispozitivele de colectare a datelor. În conformitate cu anumite
19 exemple de realizare a invenției, dispozitivele de colectare a datelor sunt proiectate cu
respectarea unor specificații de ordin industrial cu scopul de a rezista la condițiile dure de
21 mediu care sunt prezente în cadrul unei substații.

23 Revenind acum la figuri, fig. 1 prezintă o diagramă bloc a unuia sau mai multe circuite
de procesare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta
descriere. În conformitate cu anumite variante de realizare a invenției, componentele din fig.
25 1 pot fi plasate într-un dispozitiv de recepție, corespunzător unui punct final de consum,
configurat să recepționeze comunicațiile efectuate prin intermediul liniilor de transport a ener-
27 giei electrice. Un circuit de interfață **102** poate oferi funcția de izolare față de tensiunile înalte
prezente pe liniile de distribuție ale energiei, permițând totodată recepția datelor transmise
29 de către unul sau mai multe dispozitive de colectare a datelor. Acesta poate include, de
asemenea, un filtru pentru eliminarea zgomotului și a armonicilor generate de către furnizorul
31 de putere de curent alternativ prezent pe liniile de distribuție ale energiei electrice. Mai mult,
în cazul modulației în cuadratură, circuitul de interfață **102** poate separa partea reală (Re)
33 de partea (Im) a semnalului recepționat. În concordanță cu anumite scheme de modulație a
semnalului, aceste semnale intermediare pot fi generate pe baza unei versiuni demultiplicate
35 (bandă de bază) a semnalului recepționat.

37 Circuitul(ele) de procesare **104** și **108** oferă funcții asociate cu o rată mare de
eșantionare (supraeșantionare) și cu o rată scăzută/decimată de eșantionare (subeșantio-
nare). Funcțiile de procesare supraeșantionată **110** și **112** pot fi realizate, atât pe baza părții
39 reale, cât și a celei imaginare a semnalelor intermediare. De exemplu, procesarea supra-
eșantionată **110** și **112** poate oferi o funcție de integrare pe baza ratei de supraeșantionare.
41 Acesta produce un semnal de ieșire ce are o granularitate/acuratețe corespunzătoare cu rata
de supraeșantionare.

43 Elementele de decimare **114** și **116** primesc la intrare ieșirea supraeșantionată ale
funcțiilor de procesare **110** și, respectiv, **112**. Elementele de decimare **114** și **116** produc
45 apoi o ieșire corespunzătoare unei rate reduse de eșantionare. Raportul dintre rata de intrare
(supra)eșantionată și rata de ieșire eșantionată (decimată sau subeșantionată) reprezintă
47 rata de decimare pentru elementele de decimare **114** și **116**. Această rată de decimare poate
fi ajustată, după cum s-a expus în prezenta descriere.

RO 130020 B1

Funcțiile de eșantionare ale operației de decimare **118** și **120** pot fi realizate apoi la ieșirile elementelor de decimare **114** și **116**. Aspecte ale prezentei invenții sunt direcționate către utilizarea funcțiilor de eșantionare ale operației de decimare **118** și **120** care reduc memoria și/sau procesarea atunci când folosesc rate de eșantionare scăzute. De exemplu, funcțiile de eșantionare ale operației de decimare **118** și **120** pot include, dar nu se limitează la, un filtru ce utilizează o componentă de feedback care stochează eșantioane anterioare. În anumite variante de realizare, filtrarea este reprezentată de către un filtru tip pieptene.

Decodificarea simbolului **106** poate fi realizată la ieșirea funcțiilor de eșantionare ale operației de decimare **118** și **120**. De exemplu, schema de modulare poate utiliza una din tehnicile: modulare cu deplasare de fază în cuadratură (QPSK - *quadrature phase shift keying*), modulare diferențială de fază (DPSK - *differential phase shift keying*) și modulare cu deplasare de frecvență (FSK - *frequency shift keying*). Decodificarea simbolului **106** poate fi configurată pentru demodulare în consecință. Într-un caz particular, decodificarea simbolului **106** poate include un discriminator de fază delta pentru detectarea deplasărilor de fază.

Circuitul(ele) de procesare **108** pot fi configurate și concepute pentru a genera informații de sincronizare utilizând funcția de procesare a semnalului **122**. Funcția de procesare a semnalului **112** primește semnalele supraeșantionate de la funcțiile de procesare **110** și **112** și utilizează aceste informații pentru a genera informațiile de sincronizare. Informațiile de sincronizare sunt utilizate pentru a determina o ajustare a decimării **124**. Ajustarea decimării **124** este oferită sub forma unui control a decimării pentru a modifica rata de decimare (subeșantionare) a elementelor de decimare **114** și **116** cu scopul de a realiza sincronizarea între semnalele recepționate și cele procesate specifice circuitelor.

În anumite variante de realizare ale prezentei invenții, funcția de procesare a semnalului **122** detectează limitele simbolului, în timp ce ajustarea decimării **124** reprezintă o ajustare realizată cu scopul de a alinia limitele simbolului detectat cu eșantionarea decimării.

Fig. 2 prezintă o diagramă bloc pentru un dispozitiv receptor plasat în aval (localizat în punctul final de consum), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Dispozitivul receptor este configurat și conceput pentru a realiza procesul de comunicație în diferite multiple canale/benzi de frecvență. Așa cum se prezintă în figură, un semnal digital de intrare este furnizat la etajul de intrare **202** de la convertorul analog digital (CAD). Etajul de intrare poate include câteva filtre de tipul trece bandă (FTB), fiecare FTB având o frecvență de trecere ce corespunde unui anumit canal de comunicație. Convertoarele coborâtoare de frecvență **204** și **206** pot fi utilizate pentru a coborî semnalele filtrate în conformitate cu o frecvență intermediară (Fif). Convertoarele coborâtoare de frecvență **204** și **206** pot fi, de asemenea, configurate să separe partea reală de cea imaginară a semnalului de intrare prin mixarea semnalului cosinus, respectiv, a semnalului sinus.

În conformitate cu anumite exemple de realizare ale invenției, rata de eșantionare (sau frecvența de eșantionare) a convertorului analogic digital (CAD) poate fi relativ mare. Acest lucru poate fi deosebit de util pentru filtrarea trece bandă și pentru coborârea de frecvență, procese ce pot fi realizate cu cerințe relativ scăzute de procesare și memorare pentru rate de eșantionare mari. Cu toate acestea, alte tipuri de funcții pot fi prohibitiv de consumatoare la rate de eșantionare mari. Prin urmare, convertoarele coborâtoare de frecvență **204** și **206** pot fi configurate să realizeze operații de decimare sau subeșantionare, în vederea diminuării ratei de eșantionare. Exemplul particular prezentat în fig. 2 constă într-o rată de eșantionare de 480 Hz, cu toate că dispozitivul de recepție și informațiile relevante expuse nu sunt limitate la această valoare a ratei de eșantionare.

RO 130020 B1

1 Conform unui exemplu de realizare a prezentei descrieri, filtrarea armonicilor **214**
2 poate fi realizată cu scopul de a filtra anumite frecvențe. Aceste filtre pot fi deosebit de utile
3 pentru filtrarea armonicilor care pot fi produse de către furnizorul de putere de curent
4 alternativ. Această frecvență de curent alternativ, și armonicile rezultate, pot varia în jurul
5 unei frecvențe de aproximativ 60 Hz, în Statele Unite, și în jurul unei frecvențe de 50 Hz, în
6 Europa. Totuși, aceste standarde, sunt relativ arbitrare și implică limitarea, în mod necesar,
7 a diferitelor exemple de realizare discutate aici.

8 Blocurile de procesare **208**, **210** și **212** recepționează ieșirile de la respectivele filtre
9 de armonici **214**. Pentru simbolurile codificate PSK, aceste blocuri de procesare furnizează
10 o discriminare de fază delta, recuperare temporizată și decodificare simbol. Mai multe funcții
11 speciale includ o transformată Fourier discretă complexă (CDFT) **216**, o determinare a puterii
12 **218**, o detectare de fază **220**, o decodificare de simbol **222** și un bloc de sincronizare **224**.
13 Blocul CDFT **216** oferă procesare de semnale și filtrare utilizate pentru decodificarea
14 simbolurilor. Blocul CDFT **216** oferă, de asemenea, funcția de decimare care reduce rata de
15 eșantionare. Exemplul particular descris în fig. 2 reprezintă o rată redusă de eșantionare de
16 10 Hz, cu toate că dispozitivul de recepție și informațiile relevante nu se limitează la această
17 rată. Detectorul de fază **220** detectează modulații ale fazei unei purtătoare corespunzătoare
18 semnalului de intrare. Decodicatorul de simbol **222** decodifică modificările fazei cu scopul
19 de a genera datele corespunzătoare. Determinarea puterii **218** determină puterea semnalului
20 recepționat măsurată printr-o combinație dintre partea reală și partea imaginară a
21 semnalului.

22 Blocul de sincronizare **224** oferă un control al semnalului utilizat pentru a modifica
23 rata de decimare (subeșantionare) a blocului CDFT **216**. Ajustări ale ratei de decimare
24 conduc la modificări corespunzătoare legate de temporizarea selectării eșantioanelor. În
25 acest mod, blocul de sincronizare **224** poate ajusta temporizarea componentelor ce
26 funcționează utilizând rata de eșantionare redusă.

27 În concordanță cu anumite variante de realizare ale prezentei descrieri, blocul de
28 sincronizare **224** recepționează intrarea de la blocul CDFT **216** înainte de decimare pentru
29 a reduce rata de eșantionare. În exemplul particular din fig. 2, acesta ar corespunde unei
30 frecvențe de eșantionare de 480 Hz. În consecință, blocul de sincronizare **224** poate
31 monitoriza parametrii de semnal utilizând această rată de eșantionare mai mare. Blocul de
32 sincronizare **224** poate utiliza această informație pentru a detecta limitele semnalului. Blocul
33 de sincronizare **224** poate, de asemenea, recepționa datele temporale corespunzătoare ratei
34 de eșantionare redusă și să determine neconcordanțele dintre limitele simbolului și rata de
35 eșantionare redusă. De exemplu, temporizarea eșantioanelor care sunt preluate pentru rata
36 redusă de eșantionare (determinată de către mijloacele de decimare) poate fi sincronizată
37 cu detectorul de fază **220** și/sau cu detectorul de simbol **222**.

38 În variante de realizare mai specifice, blocul CDFT **216** poate include un circuit de
39 filtrare cu o funcție de integrare care funcționează la o rată de eșantionare mai mare. Datele
40 provenite de la integrator pot fi furnizate blocului de sincronizare **224**. Blocul de sincronizare
41 **224** utilizează aceste date pentru a detecta limitele de simbol prin, de exemplu,
42 monitorizarea puterii semnalului.

43 Diversele diagrame adiționale și discuții asociate expuse în prezenta descriere se pot
44 referi la unul sau la mai multe exemple de realizare ale prezentei invenții. Aceste variante
45 de realizare experimentale pot fi utile în sensul în care ele oferă diferite puncte de referință
46 și exemple ilustrative. Cu toate acestea, specificurile fiecărei variante experimentale de
47 realizare a invenției nu sunt neapărat solicitate în (sau în mod particular relevant față de)
toate variantele de realizare ale prezentei descrieri.

RO 130020 B1

Fig. 3 prezintă o diagramă bloc a unei transformate Fourier discrete complexe (CDFT - *complex discrete Fourier transform*), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Blocul CDFT **302** recepționează părțile reale (Re) și imaginare (Im) ale semnalului purtător de date. Un nucleu (*kernel*) de transformare **304** transformă părțile reale și imaginare. Nucleul (*kernel*-ul) **304** lucrează cu semnalul eșantionat cu o primă rată de (supra)eșantioanare. Nucleul (*kernel*-ul) **304** este prezentat cu ajutorul unei combinații particulare de elemente de mixare și elemente combinatoare; cu toate acestea, prezenta dezvăluire nu se limitează în mod necesar la această combinație specifică.

Leșirea nucleului (*kernel*-ului) **304** este transmisă blocului de filtrare **306**. În exemplul de realizare a invenției prezentat în fig. 3, blocul de filtrare **306** funcționează ca și o cascadă de integrator de filtru pieptene (CCIC). Filtrul CCIC include elemente de decimare **310**. Elementele de decimare **310** sunt configurate și concepute pentru a furniza o rată de decimare sau subeșantionare, variabilă, în funcție de o valoare sau de un semnal de intrare/de control. Funcția de integrare a filtrului CCIC este realizată înainte de elementele de decimare **310** și, prin urmare, funcționează la o frecvență de eșantionare mai mare. Funcția îndeplinită de porțiunea corespunzătoare filtrului de tip pieptene a filtrului CCIC este realizată după elementele de decimare **310** și, prin urmare, funcționează la o rată de eșantionare mai scăzută. Acest lucru poate fi deosebit de util pentru simplificarea/reducerea cerințelor necesare memorării aferente filtrului de tip pieptene, deoarece filtrul de tip pieptene include o componentă de reacție (*feedback*) ce utilizează valorile anterioare ca parte integrantă a filtrului.

O valoare a semnalului provenită de la elementele de integrare este trimisă către blocul de sincronizare și temporizare a simbolului **308**. Valoarea semnalului poate fi ajustată în funcție de componenta de feedback a filtrului pieptene, așa cum se arată prin utilizarea simbolului de adunare. Blocul de sincronizare **308** utilizează această informație cu scopul de a genera o valoare de ajustare a elementului de decimare. Valoarea de ajustare a elementului de decimare este oferită elementelor de decimare **310** utilizând o valoare/semnal de intrare/control.

În anumite variante de realizare ale invenției, valoarea de ajustare a elementului de decimare este calculată în funcție de o neconcordanță dintre sfârșitul secțiunii de decimare (definită conform temporizărilor dintre eșantioanele de decimare) și temporizările simbolului (care pot fi determinate prin monitorizarea puterii recepționate a semnalului purtător de date).

Fig. 4A, este un grafic al răspunsului în frecvență a unui filtru experimental CIC (*cascaded integrator comb* - cascadă de integrator de filtru pieptene) pentru $M = 1$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Fig. 4B este un grafic al răspunsului în frecvență a unui filtru experimental CIC (*cascaded integrator comb* - cascadă de integrator de filtru pieptene) pentru $M = 3$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Pentru fiecare dintre Fig. 4A și 4B, datele reprezentate de către grafic au fost generate utilizând o rată de eșantionare: $f_s = 480$ Hz și o rată a decimării de 48. Funcția de transfer este reprezentată sub următoarea formă:

$$H(f) = \frac{\left| \sin\left(\frac{\pi N R f}{f_s}\right) \right|^{M=1}}{\left| \sin\left(\frac{\pi f}{f_s}\right) \right|}$$

RO 130020 B1

1 După cum se prezintă în grafice, datele experimentale sugerează că $M = 1$ poate
furniza caracteristici mai bune de filtrare; cu toate acestea, prezenta dezvoltare nu se limi-
3 tează la aceasta. De exemplu, diferite caracteristici de intrare și parametri de funcționare pot
conduce către alte setări.

5 Fig. 5 prezintă o diagramă bloc a unei CDFT alternative, în conformitate cu
exemplele de realizare ale invenției expuse în prezenta descriere. Similar cu exemplul CDFT
7 prezentat în fig. 3, exemplul de CDFT din fig. 5 include un bloc CDFT **502**, un nucleu (*kernel*)
de transformare **504**, un bloc de filtrare **506** și un bloc de sincronizare **508**. Cu toate acestea,
9 fig. 5 include, de asemenea, un filtru trece jos (FTJ) **510** și **512**. Aceste filtru trece jos **510**
și **512** pot fi utilizate pentru a filtra interferențele și armonicile nedorite. Oarecum neașteptat,
11 s-a constatat că filtrele trece jos **510** și **512** nu pot oferi rezultate benefice pentru anumite
aplicații. Prin urmare, prezenta dezvoltare tratează variante de realizare atât cu, dar și fără,
13 utilizarea de filtre trece jos **510** și **512**.

15 Fig. 6 prezintă o diagramă de flux exemplificativă pentru modul în care se poate
realiza implementarea prelucrării și decodificării simbolurilor recepționate, în conformitate cu
exemplele de realizare ale invenției expuse în prezenta descriere.

17 Diagrama de flux poate fi pusă în aplicare cu ajutorul unuia sau a mai multe circuite
de procesare, care pot fi configurate și concepute utilizând, de exemplu, instrucțiuni pro-
19 gramate *software*, circuite hardware și combinații ale acestora. Circuitul(ele) de procesare
încep procesarea unui canal particular la blocul **602**. În anumite variante de realizare,
21 circuitul de procesare poate fi configurat și conceput să realizeze această procesare pe mai
multe canale în paralel. De exemplu, un protocol OFDMA poate fi utilizat, iar circuitul de
23 procesare poate monitoriza mai multe frecvențe diferite pentru protocolul OFDMA.

25 La blocul **604**, circuitul de procesare este configurat și conceput pentru a realiza o
conversie coborâtoare de frecvență a semnalului recepționat. O descriere a variantei
particulare de realizare a invenției a unei conversii coborâtoare de frecvență este prezentată
27 în legătură cu nucleul (*kernel-ul*) din fig. 3 și 5.

29 La blocul **606**, circuitul de procesare este configurat și conceput să realizeze o funcție
de filtrare. Un tip particular de filtrare este aceea a unei cascade de integrare de filtru
pieptene (CCIC). Un exemplu de implementare a unui circuit de procesare a unui filtru CCIC
31 este prezentat în legătură cu fig. 7.

33 Circuitul de procesare determină, la blocul **608**, dacă s-a ajuns sau nu la finalul
simbolului. În conformitate cu exemplele de realizare ale prezentei invenții, finalul simbolului
se determină pe baza unui contor de decimare. Dacă a fost detectat finalul simbolului, atunci
35 circuitul de procesare poate încerca să decodifice simbolul cu scopul de a obține biții de date
corespunzători, așa cum arată blocul **610**. Circuitul de procesare poate procesa 612 biți, în
37 mod corespunzător și, dacă se dorește, calcula statisticile simbolului la blocul **614**. Statisticile
pot include, dar nu sunt limitate la, puterea medie a simbolului, eroare medie de fază delta
39 și eroarea maximă de fază delta. Dacă finalul unui simbol nu este detectat, atunci procesarea
ulterioară este realizată înainte de decodificarea simbolului. Procesul se încheie la pasul
41 **616**.

43 Fig. 7 prezintă o diagramă de flux exemplificativă pentru modul în care se poate
implementa o cascadă de integrator de filtru pieptene (CCIC), în conformitate cu exemplele
de realizare ale invenției expuse în prezenta descriere. Circuitul de procesare începe pro-
45 cesul de filtrare la blocul **702** și apoi avansează la blocul **704**. La blocul **704** circuitul de pro-
cesare poate adăuga următorul eșantion la un integrator. Eșantioanele în acest punct au o
47 rată mare de (supra)eșantionare. Circuitul de procesare utilizează ieșirea supraeșantionată

RO 130020 B1

(OS - *oversampled*) a integratorului pentru a determina puterea semnalului (OSPwr) la blocul **706**. Această putere determinată poate fi utilizată pentru a calcula modificarea puterii ce a survenit de la startul simbolului curent. De exemplu, pentru a determina puterea simbolului provenită, atât din partea reală (ReOS), cât și din partea imaginară (ImOS), circuitul de procesare poate utiliza formula $OSPwr = ReOS^2 + ImOS^2$.

Circuitul de procesare poate apoi verifica, la blocul **708**, dacă s-a atins sau nu startul unei perioade de simbol. În anumite variante de realizare, perioada de simbol se presupune a corespunde temporizării eșantionării decimatorului (lipsește o neconcordanță de temporizare). Funcția de decimare poate fi implementată luând fiecare N eșantioane, unde N = rata de decimare sau subeșantionare (*DecimateBy*). De exemplu, un contor de decimare poate fi incrementat pentru fiecare eșantion recepționat. Eșantioanele recepționate sunt eliminate decât dacă contorul de decimare este egal cu rata de decimare (sau un număr întreg multiplu al acestuia în cazul în care contorul nu este resetat). Un mecanism similar este presupus a fi utilizat în legătură cu diagramele de flux; cu toate acestea, diferite variante de realizare nu sunt limitate în mod necesar la o astfel de implementare specifică. Prin urmare, etapa de verificare **708** poate fi realizată prin compararea contorului de decimare cu rata de decimare (*DecimateBy*).

Dacă se detectează începutul unui simbol de către circuitul de procesare, atunci circuitul de procesare va inițializa noul simbol pentru șirurile stocate corespunzătoare fiecărei secțiuni per bloc **710** și indicele șirului ("i") poate fi resetat, în blocul **712**. Secțiunile bazate pe simbol corespund diferitelor seturi de (supra)eșantionări din cadrul unui simbol. De exemplu, o rată de decimare de 48 are ca rezultat o (supra)eșantionare 1-48 fiind inclusă într-o perioadă de simbol. Aceste eșantioane pot fi divizate în patru secțiuni 1-12, 13-24, 25-36 și 37-48. O valoare a șirului (OSPwrMax[i]) poate fi stocată pentru fiecare secțiune (i).

Circuitul de procesare verifică, la blocul **714**, finalul uneia dintre aceste secțiuni. Această verificare poate fi realizată, de exemplu, prin compararea numărătorului decimatorului cu o valoare a șirului pentru secțiunea curentă (OSPwrEnd[i]). Dacă finalul secțiunii curente a fost atins, atunci circuitul de procesare pregătește sesiunea următoare (de exemplu, prin incrementarea contorului secțiunii i" per bloc **716**).

La blocul **718**, circuitul de procesare compară puterea (curentă) calculată (OSPwr) cu o valoare maximă stocată a puterii pentru secțiunea curentă (OSPwrMax[i]). Valoarea curentă a puterii fiind mai mare decât maximum precedent indică faptul că puterea a crescut. Valoarea curentă a puterii fiind mai mică decât maximum precedent indică faptul că maximum precedent este o valoare locală maximă/de vârf (de exemplu, OSPwrMax[1] din fig. 10).

Atunci când valoarea curentă a puterii nu este mai mare decât maximum precedent, circuitul de procesare continuă cu blocul **728**. La blocul **728**, circuitul de procesare compară puterea curentă (OSPwr) cu o valoare a puterii minime stocate corespunzătoare secțiunii curente (OSPwrMin[i]). Valoarea curentă a puterii fiind mai mică decât minimum precedent indică faptul că puterea a scăzut. Valoarea curentă fiind mai mare decât valoarea minimă precedentă indică faptul că puterea este între valorile curente de maxim și minim ale puterii.

Dacă este necesar, circuitul de procesare actualizează puterea minimă (OSPwrMin[i]) cu valoarea curentă a puterii (OSPwr) la blocul **730**. Circuitul de procesare stochează totodată contorul decimatorului ce corespunde noii valori minime a puterii. În continuare, circuitul de procesare continuă cu procesul de sincronizare **726**.

Atunci când valoarea curentă a puterii este în creștere în raport cu valoarea maximă precedentă a puterii, circuitul de procesare continuă cu blocul **720**. La blocul **720**, circuitul de procesare calculează o valoare de prag în funcție de puterea curentă și de un prag. În

RO 130020 B1

1 conformitate cu un exemplu de realizare a prezentei invenții, `OSPwrMaxLatchThreshold` se
2 poate seta în funcție de o valoare predeterminată. De exemplu, se poate utiliza o simulare
3 pentru a modela transmisia unor cadre de date test și a semnalelor rezultate precum și a
4 zgomotului și a armonicilor liniilor de putere văzute de către dispozitivul de recepție.
5 Rezultatele simulării pot fi apoi utilizate pentru a selecta o valoare pentru
6 `OSPwrMaxLatchThreshold` care să reducă sau să minimizeze eroare medie de fază delta.
7 În alte situații, `OSPwrMaxLatchThreshold` poate fi generat în mod dinamic în funcție de con-
8 dițiile actuale ale liniei de distribuției a energiei. Utilizarea unui prag generat în mod dinamic
9 poate fi deosebit de util pentru adaptarea la schimbări; cu toate acestea, poate exista un
10 compromis în ceea ce privește resursele de procesare. În cazul în care puterea curentă este
11 considerată a fi suficientă (pe verificarea făcută de blocul **722**), circuitul de procesare actuali-
12 zează valorile șirului pentru selecția curentă așa cum arată blocul **724**.

13 Fig. 8, prezintă o diagramă de flux exemplificativă pentru modul în care se poate
14 implementa sincronizarea simbolului, în conformitate cu exemplele de realizare ale invenției
15 expuse în prezenta descriere. Procesul de sincronizare poate fi introdus o dată pe fiecare
16 (supra)eșantionare. Circuitul de procesare intră în fluxul de sincronizare la blocul **802** și apoi
17 continuă la blocul **804**. La blocul **804** contorul de decimare (`DeciCount`) poate fi decrementat.
18 De exemplu, contorul poate fi inițial setat la rata de decimare și apoi decrementat odată la
19 fiecare (supra)eșantionare până când ajunge la zero, ceea ce indică faptul că trebuie
20 furnizată o rată de decimare. În consecință, contorul de decimare ajunge la zero (determinat
21 la blocul **806**), circuitul de procesare putând presupune că o nouă perioadă de simbol a
22 început. Acest tip de metodă de a ține evidența contorului de decimare nu are menirea să
23 fie limitativă. De exemplu, există mai multe moduri diferite de a ține evidența decimării,
24 inclusiv, dar fără a se limita la, numărarea până la zero și/sau detectarea multiplilor întregi
25 ai ratei de decimare.

26 În cazul în care circuitul de procesare determină dacă o nouă perioadă a simbolului
27 nu a fost atinsă, atunci poate ieși din procesul de sincronizare la blocul **820**. În caz contrar,
28 circuitul de procesare poate reseta contorul de decimare la rata curentă de decimare
29 (`DecimateBy`), așa cum se arată de către blocul **808**.

30 Pentru un filtru CIC, circuitul de procesare poate actualiza, de asemenea, filtrul de
31 tip pieptene în etapa **810**. De exemplu, filtrul de tip pieptene poate utiliza feedback pe baza
32 valorilor precedente. Aceste valori precedente pot reprezenta ieșirea decimată a integrării.
33 În consecință, filtrul de tip pieptene poate fi actualizat atunci când o nouă ieșire decimată
34 este disponibilă.

35 Aspecte ale prezentei invenții sunt direcționate către protocoalele de comunicații care
36 utilizează sincronizarea simbolurilor folosite de către dispozitivul de recepție. Dispozitivul de
37 recepție poate utiliza temporizarea provenită din aceste simboluri sincronizate pentru a
38 decodifica simbolurile de date ulterioare. În exemplul particular de protocol de comunicație
39 prezentat în fig. 8, dispozitivul de recepție este configurat astfel încât să evite folosirea
40 primului simbol sincronizat transmis. Astfel, primul simbol de sincronizare este efectiv omis
41 deoarece poate fi corupt (de exemplu, datorită ajustării interne ale ceasurilor dispozitivului
42 de recepție). În plus, cel de-al doilea simbol de sincronizare este de asemenea problematic
43 deoarece problemele de temporizare ale primului simbol de sincronizare pot fi încă prezente
44 în timpul următorului ciclu de decimare. Aceste omisiuni ale simbolurilor de sincronizare sunt
45 reprezentate de către blocurile **812** și **814**. În cadrul acestor blocuri un contor de sincronizare
46 (`DoSynchCount`) incrementează fiecare perioadă a simbolului și apoi procesul iese când
47 valoarea contorului este mai mică decât 2.

RO 130020 B1

În caz contrar, circuitul de procesare poate reseta contorul de sincronizare (*Do SynchCount*) la blocul **816**. În continuare, circuitul de procesare evaluează valorile șirului OSPwr cu scopul de a calcula ajustarea temporizării la blocul **818**. 1
3

Fig. 9, prezintă o diagramă de flux exemplificativă pentru modul în care se poate determina gradul de ajustare a sincronizării, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Circuitul de procesare poate intra în proces la blocul **902** pentru a determina o valoare de ajustare pentru rata de decimare, unde valoarea de ajustare este setată să compenseze o neconcordanță de temporizare. La blocul **904**, circuitul de procesare inițializează valori ce urmează a fi utilizate în timpul procesului. Una dintre aceste valori include valoarea secțiunii curenți "i", care este utilizată pentru a indexa șirul de valori stocate anterior pentru fiecare secțiune a perioadei curenței de simbol. 5
7
9
11

La blocul **906**, circuitul de procesare calculează diferența dintre puterea maximă (OSPwrMax) și minimă (OSPwrMin) pentru secțiunea curență. Blocul **908** reprezintă o verificare a faptului dacă diferența calculată depășește sau nu o valoare de prag. În cazul în care valoarea de prag nu este atinsă, atunci circuitul de procesare va avansa la următoarea secțiune prin incrementarea valorii curenți a secțiunii la blocul **914**. Presupunând că există mai multe secțiuni, verificare realizată de blocul **916**, circuitul de procesare va repeta procesul pentru această secțiune(i). Nerespectarea valorii de prag va indica, în mod general, faptul că valoarea maximă este identică cu valoarea minimă (sau suficient de apropiate) și, prin urmare, nu există nicio eroare de sincronizare. Totuși, în cazul în care nivelul valorii de prag este depășit, atunci circuitul de procesare va verifica dacă puterea pentru secțiunea curență depășește puterea secțiunilor precedente, după cum arată blocul **910**. Dacă secțiunile anterioare au o putere mai mare, atunci circuitul de procesare va avansa către secțiunea următoare prin trecerea la blocul **914**. În caz contrar, circuitul de procesare va actualiza puterea maximă și eroarea de sincronizare la blocul **912**. Astfel, circuitul de procesare va utiliza eroarea de sincronizare corespunzătoare puterii celei mai mari. 13
15
17
19
21
23

Odată ce toate secțiunile au fost procesate, circuitul de procesare utilizează eroarea de sincronizare stocată pentru a determina o ajustare a ratei de decimare. De exemplu, valoarea de ajustare poate fi implementată sub forma unei ajustări a valorii de start pentru contorul de decimare. Astfel, atunci când decimatorul începe să numere, el va începe de la o valoare a ratei de decimare ajustată de către valoarea de ajustare. Acest lucru schimbă momentul de timp la care decimatorul furnizează o ieșire eșantionată corespunzătoare. Un exemplu particular de realizare a unei ajustări a decimatorului este prezentat în tabelul 918. Tabelul 918 include ajustări ale numărătorului corelate cu eroarea de sincronizare pentru o rată de bază de decimare de 48. În acest caz, eroarea de sincronizare reprezintă valoarea contorului de sincronizare a celui mai mare punct de eroare OSPwrMax corespunzătoare procesului descris în fig. 7. Odată ce eroarea este determinată, procesul se poate termina cu blocul **920**. 25
27
29
31
33
35

Fig. 10A, este un grafic al unui semnal supraeșantionat cu o eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Linia curbă reprezintă valoarea puterii (de exemplu, $OSPwr = ReOS^2 + ImOS^2$). Întregul grafic corespunde unul ciclu complet de decimare. Vârful puterii, indicat de către săgeata **1102**, reprezintă un punct probabil de limită al simbolului. Sfârșitul graficului, indicat de către săgeata **1104**, reprezintă locația dorită a punctului de limită a simbolului. Localizarea săgeții **1104** reprezintă numai 66% din drumul până la finalul graficului. Prin urmare, graficul din fig. 10A reprezintă 66% eroare. 37
39
41
43
45

RO 130020 B1

1 Fig. 10B, este un grafic al unui semnal supraeșantionat fără eroare de sincronizare,
în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. În
3 fig. 10B, finalul graficului și vârful puterii coincid, așa cum indică săgeata **1106**. Aceasta
semnifică existența sincronizării sau 0% eroare.

5 Fig. 11 este un grafic al unui semnal supraeșantionat, în conformitate cu exemplele
de realizare ale invenției expuse în prezenta descriere. Linia curbă reprezintă valoarea puterii
7 (de exemplu, $OSPwr = ReOS^2 + ImOS^2$). Liniile verticale punctate reprezintă punctele de
separare dintre cele patru secțiuni 1-4. Conform diferitelor variante de realizare ale invenției,
9 discutate în prezenta descriere, un maxim ($OSPwrMaxfiJ$) și un minim ($OSPwrMin[ij]$) al
puterii pot fi stocate pentru fiecare secțiune "i". Contorul de decimare ($DeciCount$) poate fi
11 de asemenea stocat pentru fiecare dintre punctele de putere maximă și minimă.

Referitor la secțiunea 0, puterile maxime și minime reprezintă aceeași valoare.
13 Referindu-ne din nou la fig. 7, valoarea minimă este setată la valoarea maximă până când
și dacă puterea începe să scadă după atingerea puterii maxime. Astfel, FIG. 11 prezintă cum
15 puterile maxime și minime sunt setate la aceeași valoare, ce coincide cu secțiunea de final
0. Secțiunile 2 și 3 sunt similare cu secțiunea 0 în cadrul căreia valorile pentru maxim și
17 minim sunt aceleași (deși valorile diferă pentru fiecare secțiune).

Referitor la secțiunea 1, puterile maxime și minime nu sunt setate la valori diferite.
19 Ele ar trebui, de asemenea, să aibă diferite valori stocate pentru respectivele lor contoare
de decimare ($DeciCount[ij]$).

21 Referindu-ne din nou la fig. 9, secțiunile 2 și 3 nu vor fi utilizate pentru a determina
eroarea de sincronizare deoarece $DeltaOSPwr$ nu va depăși valoarea de prag (de exemplu,
23 acestea ar fi zero). Cu toate acestea, secțiunea 1 nu are o valoare diferită de zero pentru
 $DeltaOSPwr$. Presupunând că această valoare a $DeltaOSPwr$ depășește valoarea de prag,
25 puterea maximă a secțiunii 1 va determina eroarea de sincronizare. În graficul din fig. 11,
 $DeciCount$ pentru această putere maximă este 34. Valoarea de ajustare corespunzătoare
27 din tabelul 918 este 9. Această valoare de ajustare va fi apoi adăugată cu scopul de a
modifica contorul decimatorului și, astfel, să compenseze eroarea.

29 Semnalele și logica asociată și funcționalitatea descrise în legătură cu figurile pot fi
implementate în mai multe moduri diferite. Dacă nu se indică altfel, diverse sisteme bazate
31 pe procesoare și/sau circuite logice pot fi utilizate împreună cu programe, în conformitate cu
cele descrise în prezenta invenție, sau se poate dovedi a fi mai convenabil să se
33 construiască un aparat mai specializat pentru a pune în aplicare metoda dorită. De exemplu,
în conformitate cu prezenta descriere, una sau mai multe metode pot fi implementate cu
35 ajutorul circuitelor cablate prin programarea unui procesor de uz general, în alt circuit logic
complet sau semi programabil, și/sau printr-o combinație de astfel de elemente hardware și
37 un procesor de uz general configurat cu ajutorul unui software. Într-un alt exemplu de
realizare, în anumite contexte, trebuie să fie recunoscut faptul că un semnal poate fi
39 reprezentat de către una sau mai multe valori digitale distribuite între diferite componente
sau module software. Prin urmare, diferitele componente și procese prezentate în figuri pot
41 fi implementate într-o varietate de forme bazate pe circuite, cum ar fi de exemplu utilizarea
de module de circuite de procesare a datelor.

43 Este recunoscut faptul că aspecte ale descrierii pot fi puse în aplicare cu ajutorul unor
configurații de sistem bazate pe calculator/procesor, altele decât cele descrise în mod expres
45 în acest document. Structura necesară pentru o varietate de aceste sisteme și circuite este
evidentă în funcție de aplicațiile avute în vedere și a descrierii de mai sus.

47 Persoanele cu experiență în domeniu vor utiliza diferiți termeni și tehnicile de mai sus
pentru a descrie comunicațiile, protocoalele, aplicațiile, implementările, mecanismele, etc.

RO 130020 B1

Un exemplu de astfel de tehnică o reprezintă descrierea implementării a unei tehnici exprimate în termenii unui algoritm sau unei expresii matematice. Adică, în timp ce tehnica poate fi, de exemplu, implementată sub formă de cod executabil pe un calculator, expresia acelei tehnici poate fi succint transmisă și comunicată, într-un mod mai exact, sub forma unei formule, a unui algoritm sau a unei expresii matematice.

Astfel, se cunoaște faptul că un bloc indică "C = A + B" drept o funcție de adunare a cărui implementare în hardware și/sau software implică două intrări (A și B) și returnează la ieșire o sumă (C), precum într-un circuit logic combinatorie. Astfel, utilizarea de formule, algoritm sau expresii matematice ca elemente de descriere trebuie să fie înțeleasă ca având o formă de realizare fizică în cel puțin un hardware (cum ar fi un procesor în care tehnicile din prezenta dezvoltare pot fi puse în aplicare precum și implementate sub forma unei variante de realizare).

În anumite variante de realizare, instrucțiunile executabile de mașină pot fi stocate pentru executare într-un mod compatibil cu una sau mai multe metode expuse în prezenta descriere. Instrucțiunile pot fi utilizate pentru a face ca un procesor de uz general sau un procesor dedicat, care rulează instrucțiunile, să efectueze etapele metodelor. Alternativ, etapele pot fi efectuate de către componentele hardware ce conțin logică cablată hardware dedicate efectuării pașilor sau de către orice combinație de componente de calculatoare programate și componente hardware dedicate.

În unele variante de realizare, pot fi furnizate aspecte ale prezentei descrieri sub forma unui produs program de calculator, care poate include o mașină sau un mediu citit de calculator pe care sunt stocate instrucțiunile ce pot fi utilizate pentru programarea unui calculator (sau a altor dispozitive electronice) cu scopul de a îndeplini un proces, conform prezentei descrieri. În consecință, mediul citit de către calculator include orice tip de suport de informații/de mediu citit de către calculator potrivit pentru stocarea instrucțiunilor electronice.

Diferitele variante de realizare ale invenției descrise mai sus sunt prezentate doar cu titlu de exemplu și nu trebuie interpretate cu scopul de a limita dezvoltarea. Pe baza celor discutate și prezentate mai sus, persoanele de specialitate în domeniu vor recunoaște cu ușurință că diferite modificări și schimbări pot fi făcute prezentei descrieri fără să respecte cu strictețe exemplele de variante de realizare și aplicațiile expuse și descrise aici. De exemplu, astfel de modificări pot include variante cu privire la modul în care contorul decimalelor este actualizat și ajustat. Astfel de modificări și schimbări nu se îndepărtează de la adevăratul spirit și de la sfera de protecție a prezentei invenții de față, expusă în revendicările care urmează.

RO 130020 B1

Revendicări

1. Aparat pentru recepția comunicațiilor de date prin liniile de distribuție a energiei electrice pentru transportul energiei electrice de c.a., aparat având la bază circuite de procesare semnale de date, **caracterizat prin aceea că**, aparatul cuprinde:

- un circuit de procesare (**104, 108**) configurat și dispus în scopul de a recepționa un semnal de intrare (**Re, Im**) reprezentând comunicații de date prin liniile de distribuție a energiei electrice;

- produce semnale intermediare, pornind de la fiecare dintre părțile reală și imaginară ale semnalului de intrare (**Re, Im**) cuprinzând simboluri;

- detecta limitele simbolurilor, prin procesarea semnalelor intermediare, la o rată de eșantionare inițială;

- reduce rata de eșantionare inițială a semnalelor intermediare, în conformitate cu o rată de decimare;

- filtrare semnale intermediare la o rată de eșantionare redusă;

- determină diferența de temporizare între limitele simbolului detectate și eșantioane, corespunzător ratei de eșantionare redusă; și

- ajustare rată de decimare, ca răspuns la diferența de temporizare determinată.

2. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de a realiza detectarea limitelor simbolului, prin monitorizarea semnalului de intrare (**Re, Im**), la rata de eșantionare inițială, și detectarea vârfurilor de energie ale semnalului care apar între eșantioane, corespunzător ratei de eșantionare redusă.

3. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de a determina, utilizând mai multe eșantioane la rata de eșantionare inițială, diferența de temporizare între o limită a simbolului detectată și un eșantion următor, corespunzător ratei de eșantionare redusă.

4. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de a utiliza semnalele intermediare filtrate, în scopul decodificării simbolurilor codificate în fază, ce sunt transportate către semnalele intermediare.

5. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul a realiza discriminarea de fază delta și decodificarea simbolurilor semnalelor intermediare filtrate.

6. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul a filtra semnalele intermediare având rată de eșantionare redusă, utilizând un filtru de tip pieptene ce include o componentă de reacție care răspunde la rata de decimare.

7. Aparat, conform revendicării 1, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de a determina o diferență de temporizare pentru un set de simboluri de sincronizare, neluând în considerare datele de temporizare pentru primele două simboluri de sincronizare din setul de simboluri de sincronizare.

8. Aparat pentru recepția comunicațiilor de date prin liniile de distribuție a energiei electrice pentru transportul energiei electrice de c.a., având la bază circuite de procesare de semnale de date, **caracterizat prin aceea că**, aparatul cuprinde un circuit de procesare (**104, 108**) configurat și dispus în scopul de a:

- recepționa un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice;

RO 130020 B1

- produce semnale intermediare pentru fiecare din părțile reală și imaginară ale semnalului de intrare (**Re, Im**) ; 1
 - procesa semnalele intermediare în vederea determinării informației de temporizare pentru semnalele intermediare; 3
 - decima semnalele intermediare în conformitate cu o rată de decimare variabilă, ca răspuns la informația de temporizare determinată; și 5
 - aplica un filtru pentru semnalele intermediare decimate. 7
9. Aparat, conform revendicării 8, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de procesa semnalele intermediare, în vederea determinării informației de temporizare pentru semnalele intermediare, prin detectarea limitelor simbolului. 9 11
10. Aparat, conform revendicării 8, **caracterizat prin aceea că** circuitul de procesare (**104, 108**) este, în plus, configurat și dispus în scopul de a realiza demodularea semnalelor intermediare în conformitate cu deplasarea de fază în cuadratură (QPSK), cu deplasarea de fază diferențială (DPSK), sau cu deplasarea de frecvență (FSK). 13 15
11. Metodă pentru recepția comunicațiilor de date prin liniile de distribuție a energiei electrice pentru transportul energiei electrice de c.a., având la bază utilizarea de circuite de procesare semnale de date de tipul celor utilizate în cadrul aparatului de la revendicările 1÷9, **caracterizată prin aceea că**, metoda cuprinde următoarele etape: 17 19
- recepționarea unui semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice; 21
 - producerea de semnale intermediare pornind de la fiecare dintre părțile reală și imaginară ale semnalului de intrare (**Re, Im**); 23
 - detectarea limitelor simbolului prin procesarea semnalelor intermediare la o rată de eșantionare inițială; 25
 - reducerea ratei initiale de eșantionare a semnalelor intermediare conform unei rate de decimare; 27
 - filtrarea semnalelor intermediare cu o rată redusă de eșantionare; 29
 - determinarea unei neconcordanțe de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă; și 31
 - ajustarea ratei de decimare în funcție de neconcordanța de temporizare determinată. 31
12. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul de procesare (**104, 108**), mai cuprinde o etapă de detectare a limitelor simbolului, prin monitorizarea semnalului de intrare la rata de eșantionare inițială și, respectiv, prin detectarea vârfurilor de putere energetică ale semnalului, care apar între eșantioanele corespunzătoare ratei de eșantionare redusă. 33 35 37
13. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul de procesare (**104, 108**), mai cuprinde o etapă de determinare, utilizând mai multe eșantioane la rata de eșantionare inițială, a diferenței de temporizare dintre o limită a simbolului detectată și un următor eșantion ce corespunde unei rate de eșantionare reduse. 39 41
14. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul de procesare (**104, 108**), mai cuprinde o etapă de utilizare a semnalelor intermediare filtrate, în scopul decodificării simbolurilor codificate în fază, ce sunt transportate de către semnalele intermediare. 43 45
15. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul de procesare (**104, 108**), mai cuprinde o etapă de discriminare de fază delta și de decodificare a simbolurilor semnalelor intermediare filtrate. 47

RO 130020 B1

1 16. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul
de procesare (**104, 108**), mai cuprinde o etapă de filtrare a semnalelor intermediare care au
3 o rată de eşantionare redusă, utilizând un filtru de tip pieptene ce include o componentă de
reacție, ca răspuns la rata de discriminare.

5 17. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul
de procesare (**104, 108**), mai cuprinde o etapă de determinare a unei diferențe de tempo-
7 rizare pentru un set de simboluri de sincronizare, neluând în considerare datele de tem-
porizare pentru primele două simboluri de sincronizare din setul de simboluri de sincronizare.

9 18. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul
de procesare (**104, 108**), mai cuprinde o etapă în care se aplică etapele precedente pentru
11 fiecare din multiplele canale de diferite frecvențe.

13 19. Metodă, conform revendicării 11, **caracterizată prin aceea că**, utilizând circuitul
de procesare (**104, 108**), mai cuprinde o etapă de filtrare trece bandă pentru multiplele
canale și frecvențe.

15 20. Dispozitiv utilizat în cadrul aparatului pentru recepția comunicațiilor de date prin
liniile de distribuție a energiei electrice pentru transportul energiei electrice de c.a.
17 **caracterizat prin aceea că**, dispozitivul cuprinde unul sau mai multe circuite de procesare
(**104, 108**) configurate și dispuse în scopul de a include sau furniza:

19 - un prim integrator (**110**) configurat să genereze, la ieșire, un prim semnal de ieșire
de integrare, ce reprezintă integrarea părții reale a simbolului;

21 - un al doilea integrator (**112**) configurat să genereze, la ieșire, un al doilea semnal
de ieșire de integrare, ce reprezintă integrarea părții imaginare a simbolului;

23 - un indicator de intensitate semnal, configurat pentru a determina intensitatea sem-
nalului pe baza semnalelor de ieșire de integrare obținute de la primul și al doilea integrator
25 (**110, 112**);

27 - un controler de decimare configurat să genereze un semnal de control al decimării
ca răspuns la intensitatea semnalului;

29 - un prim decimator (**114**) configurat să reducă o primă rată de eşantionare a primei
ieșiri de integrare la o rată de eşantionare care este controlată de către un semnal de control
al decimatorului;

31 - un al doilea decimator (**116**) configurat să reducă o a doua rată de eşantionare a
unei a doua ieșiri de integrare la o rată de eşantionare care este controlată de către un
33 semnal de control al decimatorului;

35 - un prim filtru de tip pieptene (**118**) configurat să filtreze primul semnal de ieșire de
integrare, de la ieșirea primului decimator (**114**); și

37 - un al doilea filtru de tip pieptene (**120**) configurat să filtreze cel de al doilea semnal
de ieșire de integrare, de la ieșirea celui de-al doilea decimator (**116**).

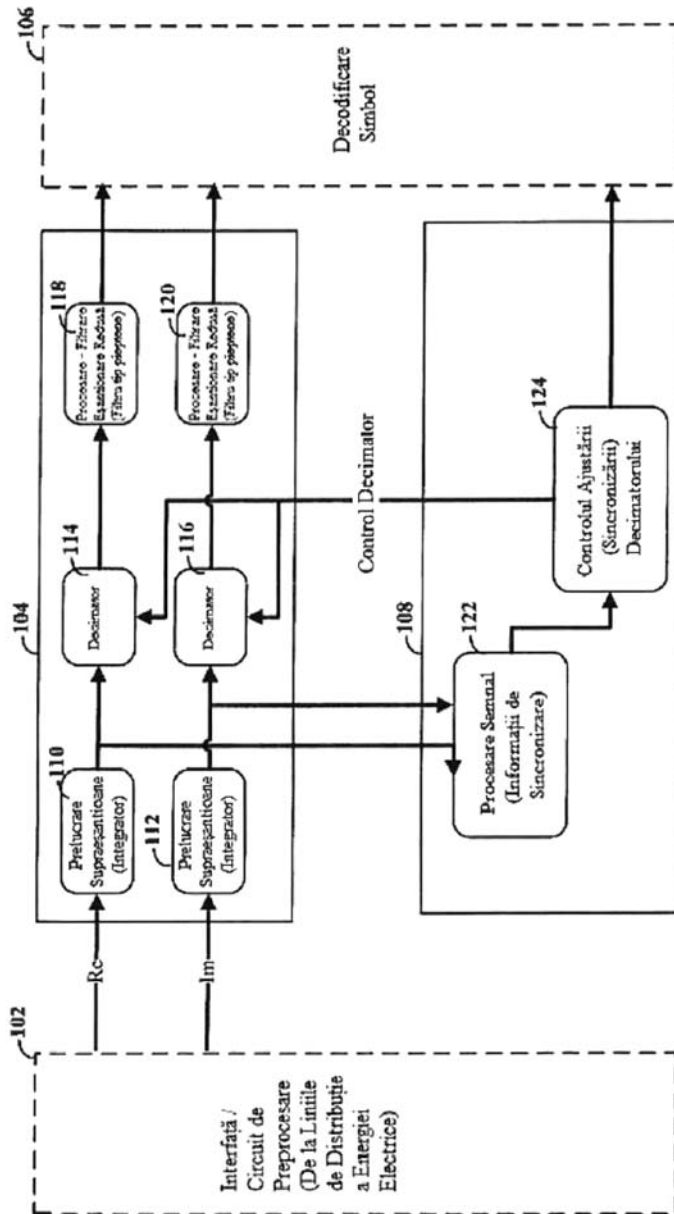


Fig. 1

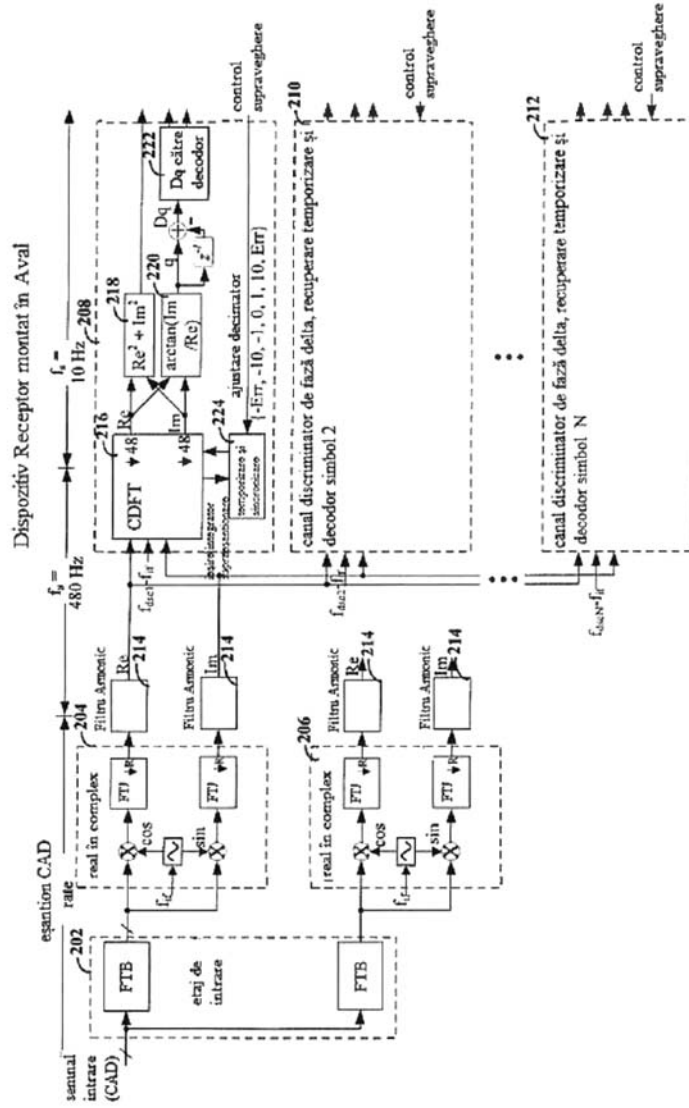
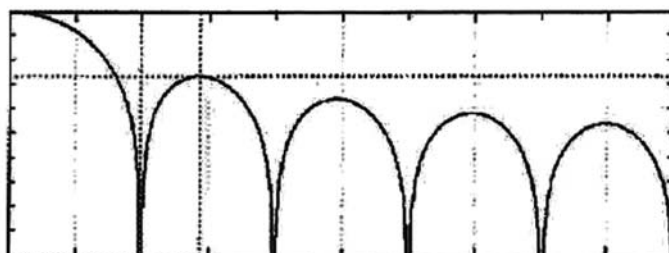


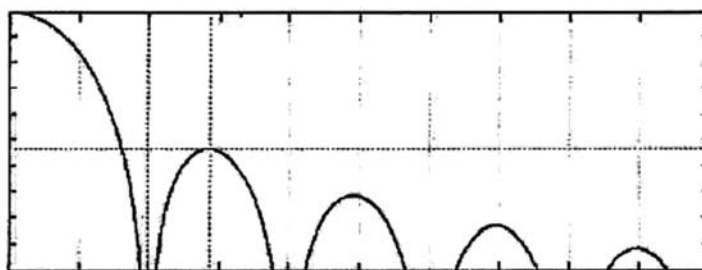
Fig. 2

Răspuns Frecvență CIC, $f_s = 480\text{Hz}$, $R=48$, $N=0$



a)

Răspuns Frecvență CIC, $f_s = 480\text{Hz}$, $R=48$, $N=0$



b)

Fig. 4

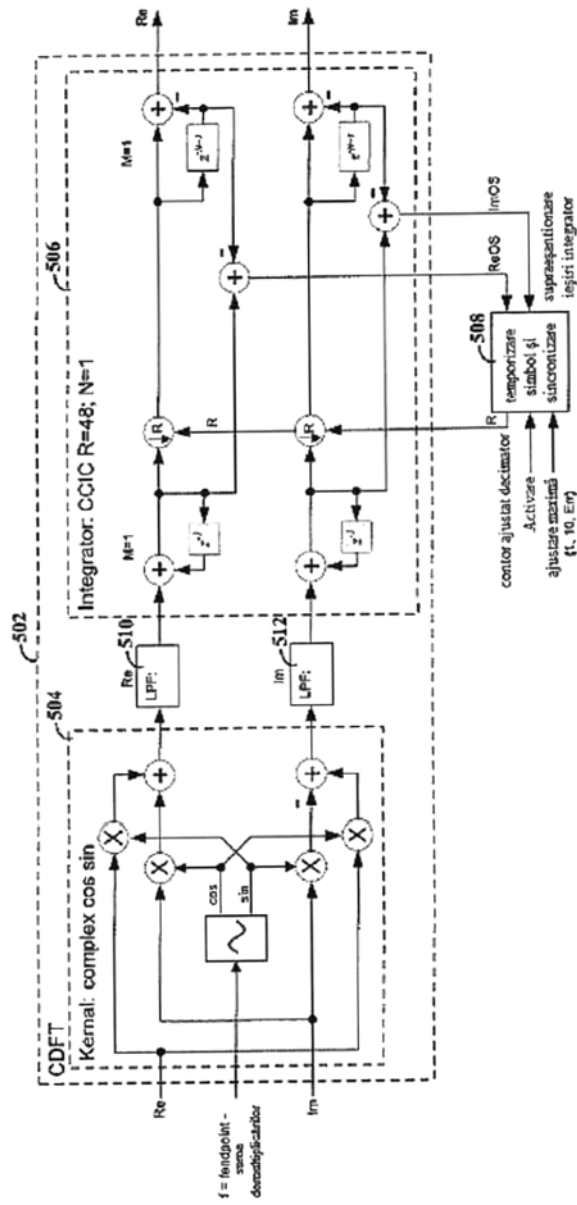


Fig. 5

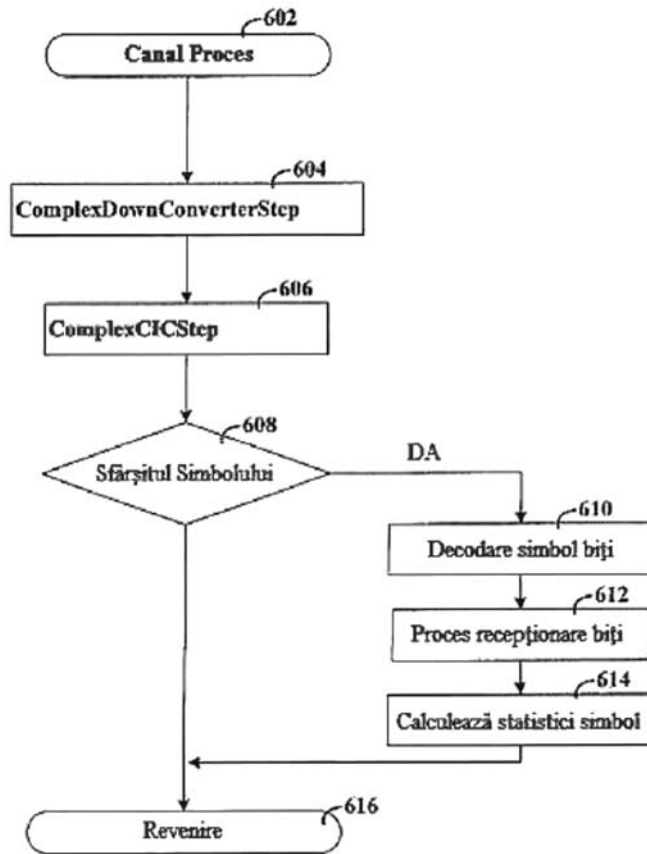


Fig. 6

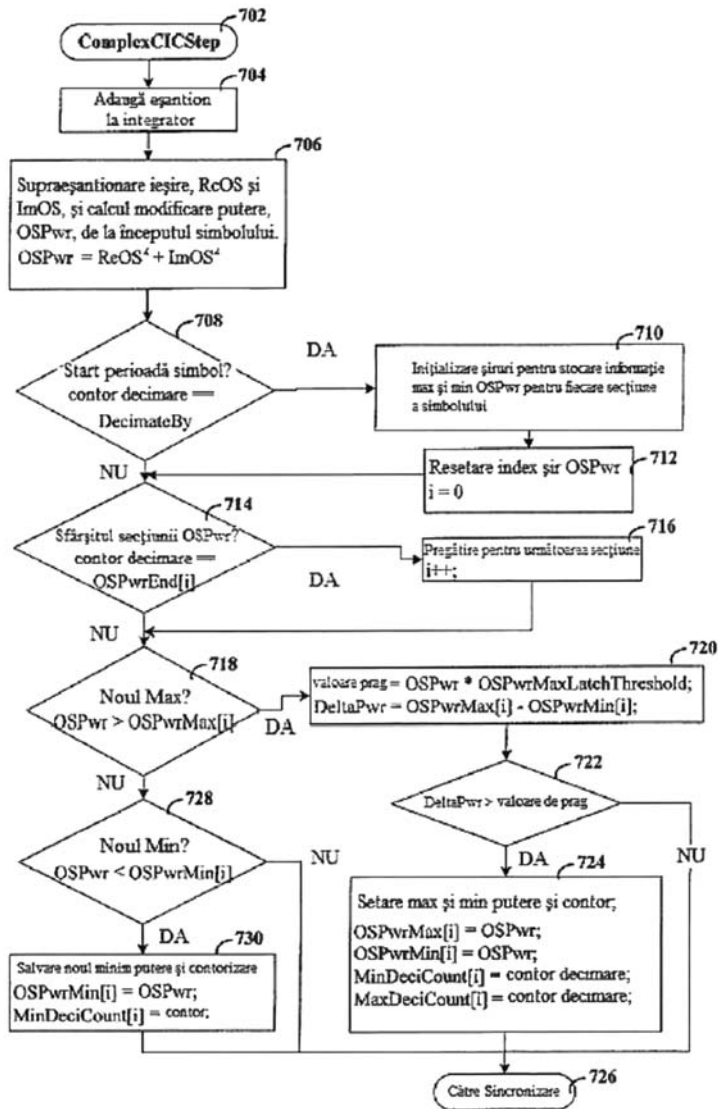


Fig. 7

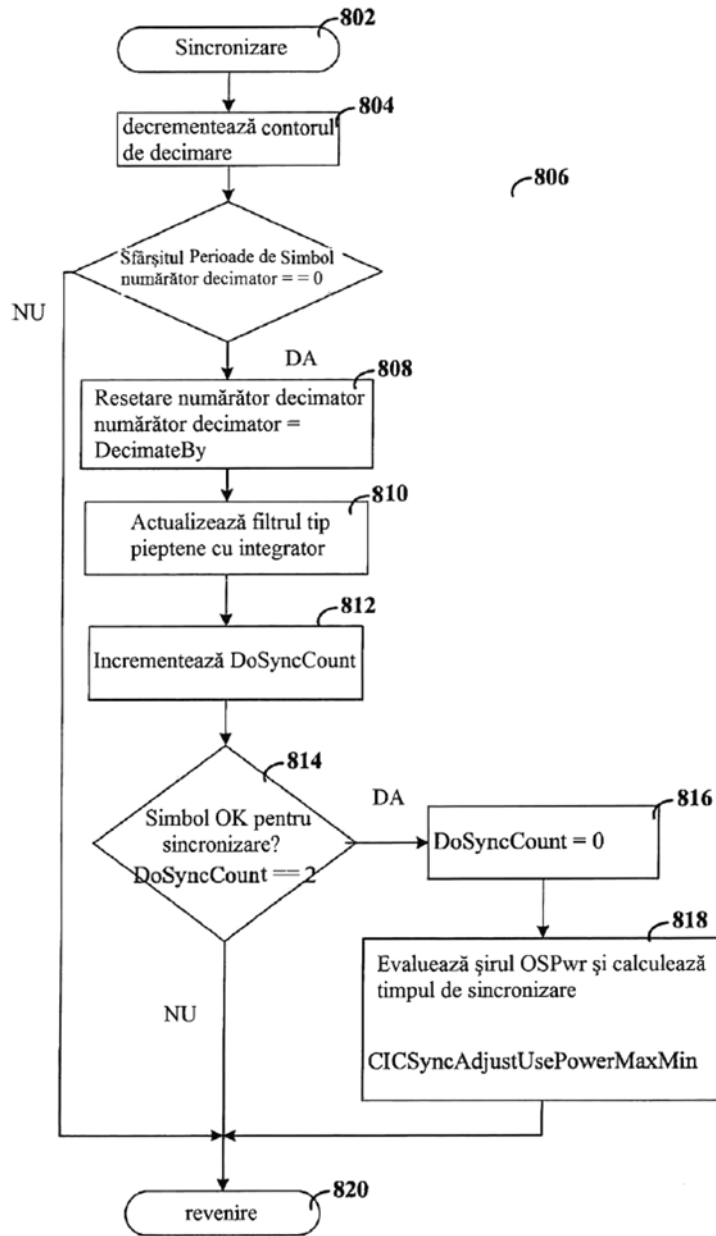


Fig. 8

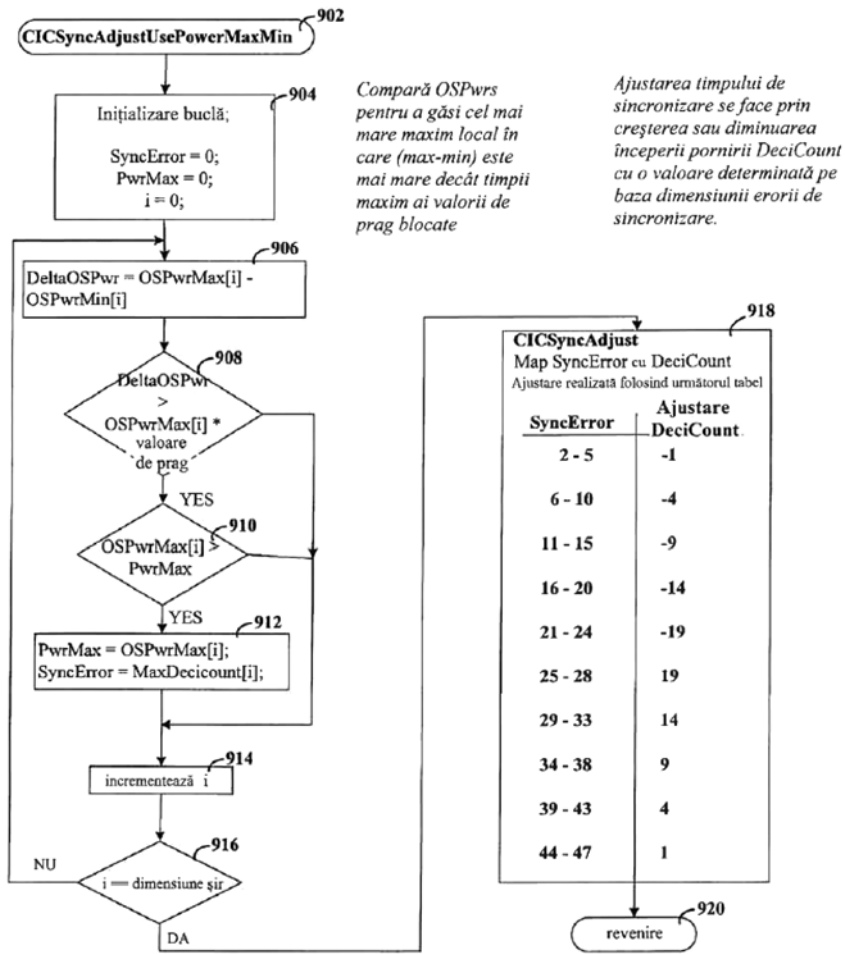
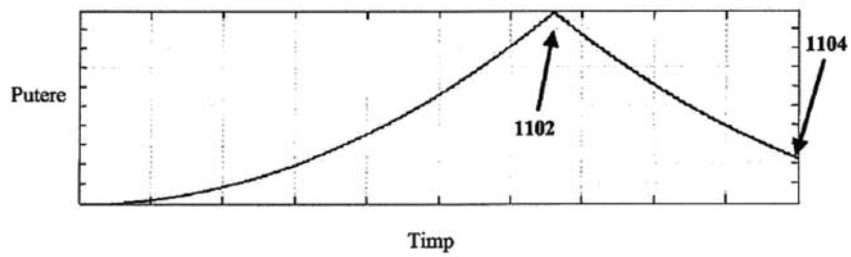


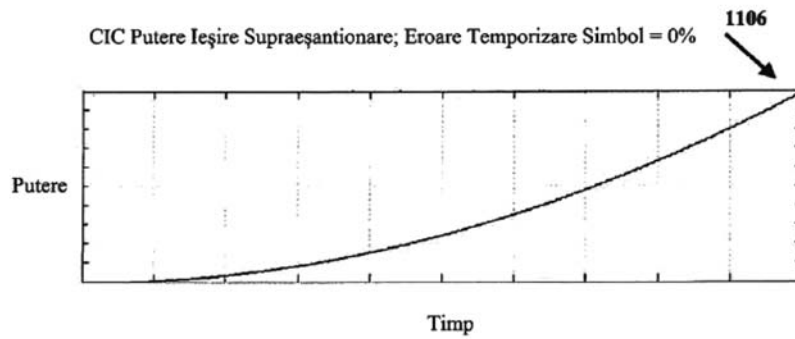
Fig. 9

CIC Putere Ieşire Supraeşantionare; Eroare Temporizare Simbol = 66 %



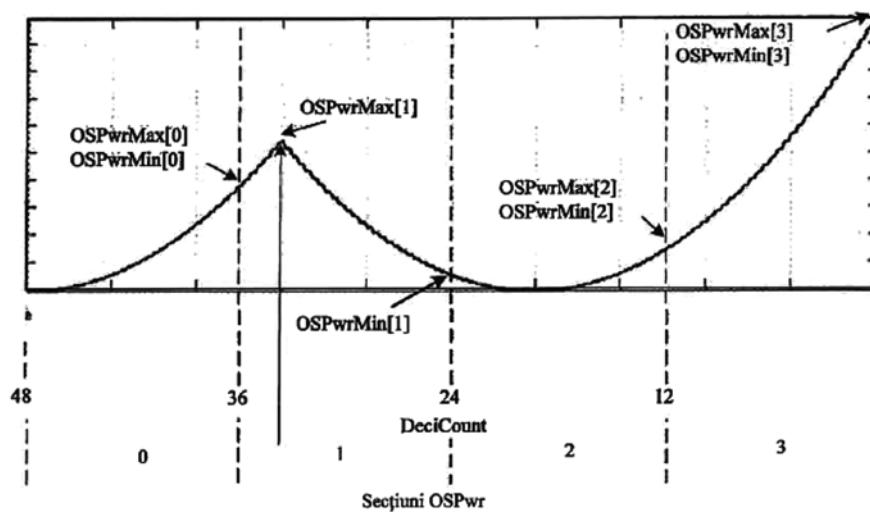
a)

CIC Putere Ieşire Supraeşantionare; Eroare Temporizare Simbol = 0%



b)

Fig. 10



SyncError = 34 -> Ajustare DeciCount = 9

Fig. 11



Editare și tehnoredactare computerizată - OSIM
Tipărit la Oficiul de Stat pentru Invenții și Mărci
sub comanda nr. 16/2023