



(12) CERERE DE BREVET DE INVENȚIE

(21) Nr. cerere: a 2014 00474

(22) Data de depozit: 14.12.2012

(30) Prioritate:
22.12.2011 US 13/334, 538

(41) Data publicării cererii:
30.01.2015 BOPI nr. 1/2015

(86) Cerere internațională PCT:
Nr. US 2012/069903 14.12.2012

(87) Publicare internațională:
Nr. WO 2013/096135 27.06.2013

(71) Solicitant:
• LANDIS+GYR TECHNOLOGIES,
LLC, 6436 COUNTY ROAD 11,
PEQUOT LAKES, MN, US

(72) Inventatori:
• GLENDE JAMES HILMER,
6584 MARY STREET, BAXTER, MN, RO

(74) Mandatar:
ENPORA BRAND MANAGEMENT S.R.L.,
STR. GEORGE CĂLINESCU NR.52A, AP.1,
BUCUREȘTI

(54) DISPOZITIV DE RECEPȚIE PENTRU COMUNICAȚII PE
LINIILE DE TRANSPORT A ENERGIEI ELECTRICE

(57) Rezumat:

Invenția se referă la sisteme și metode utilizate pentru comunicații pe liniile de transport al energiei electrice, care necesită sincronizare realizată de un dispozitiv receptor ce utilizează rate multiple de eșantionare. Sistemul conform invenției este constituit dintr-un aparat pe bază de circuit, pentru recepționarea de comunicații de date transmise prin intermediul liniilor de distribuție care transportă energie electrică utilizând curent alternativ, și include un circuit de procesare configurat și conceput să recepționeze un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice, să producă semnale intermediare pentru fiecare parte reală și imaginară a semnalului de intrare, să detecteze limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare inițială, să reducă rata inițială de eșantionare a semnalelor intermediare, conform unei rate de decimare, să filtreze semnalele intermediare cu o rată redusă de eșantionare, să determine o neconcordanță de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă, și să ajusteze rata de decimare în funcție de neconcordanța de temporizare determinată.

Metoda conform invenției utilizează aparatul pe bază de circuit pentru recepționarea comunicațiilor de date transmise prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ.

Revendicări: 20
Figuri: 11

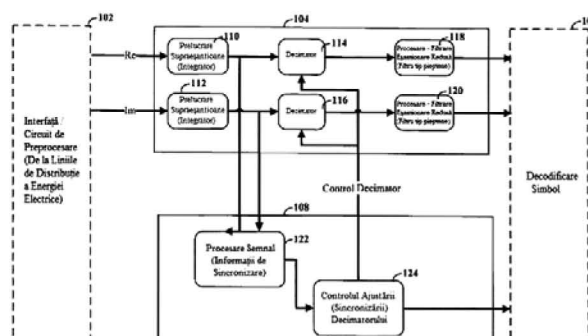


Fig. 1

Cu începere de la data publicării cererii de brevet, cererea asigură, în mod provizoriu, solicitantului, protecția conferită potrivit dispozițiilor art.32 din Legea nr.64/1991, cu excepția cazurilor în care cererea de brevet de invenție a fost respinsă, retrasă sau considerată ca fiind retrasă. Întinderea protecției conferite de cererea de brevet de invenție este determinată de revendicările conținute în cererea publicată în conformitate cu art.23 alin.(1) - (3).



173

**DISPOZITIV DE RECEPȚIE PENTRU COMUNICAȚII PE LINIILE DE TRANSPORT
A ENERGIEI ELECTRICE**

DOCUMENT DE BREVET ASOCIAT

OFICIUL DE STAT PENTRU INVENȚII ȘI MĂRCI
Cerere de brevet de invenție
Nr. <i>a 2014 00474</i>
Data depozit <i>14.12.2012</i>

Prezentul document de brevet revendică prioritatea cererii de brevet US 13/334538, depusă la data de 22 Decembrie 2011, al cărei conținut este inclus în totalitate prin referință.

STADIUL TEHNIC

Furnizorii de servicii utilizează rețelele distribuite cu scopul de a oferi servicii clienților plasați pe cuprinsul unor zone geografice mari. De exemplu, companiile de electricitate utilizează liniile de distribuție a energiei electrice pentru a transporta energia electrică de la una sau mai multe stații de producere a energiei (centrale electrice) la clienții din complexele rezidențiale sau la cei comerciali deopotrivă. Stațiile de producere a energiei utilizează curent alternativ (CA) pentru a transmite energia electrică pe distanțe mari prin intermediul liniilor de distribuție electrică. Transportul pe distanțe mari poate fi realizat prin utilizarea unui nivel relativ ridicat de tensiune. Substațiile plasate în apropierea locațiilor în care se află clienții realizează coborârea nivelului de tensiune, mai exact înalta tensiune o transformă în joasă tensiune (de exemplu, folosind transformatoare). Liniile de distribuție a energiei electrice transportă această joasă tensiune alternativă de la substații către dispozitivele consumatoare din locațiile în care se află clienții.

Furnizorii de comunicații pot utiliza o rețea de comunicații distribuită pentru a oferi servicii de comunicații clienților. În mod similar, companiile energetice utilizează rețele de linii de distribuție a energiei electrice, aparate de măsură și alte elemente de rețea pentru a oferi energie electrică clienților plasați pe o întreagă zonă geografică și pentru a recepționa date de la locațiile clienților inclusiv, dar fără a se limita la, date ce reprezintă gradul de utilizare a utilității măsurate. Cu toate acestea, comunicarea de date din cadrul unui sistem ce conține mii de dispozitive ce reprezintă puncte finale de consum, fiecare comunicând prin intermediul liniilor de distribuție a energiei electrice, poate reprezenta o problemă deosebit de dificilă. Numărul mare de dispozitive ce reprezintă puncte finale de consum contribuie la o serie de probleme, inclusiv procesarea puterii la nivelul punctului final de consum,

dimensiunea memoriei, interferențe și alte preocupări. De exemplu, sincronizarea dintre un punct final de consum și un dispozitiv care transmite în aval față de punctul final de consum poate fi complicată atât de acești factori cât și de alții.

EXPUNEREA INVENȚIEI

Prezenta invenție se referă la sisteme și metode utilizate împreună cu comunicații ce necesită sincronizare realizată de un dispozitiv receptor ce utilizează multiple rate de eșantionare. Acestea și alte aspecte ale prezentei invenții sunt exemplificate prin intermediul ilustrării unui număr de exemple de implementări și aplicații, unele dintre care sunt prezentate în figuri și caracterizate în capitolul de revendicări ce urmează.

Anumite variante de realizare ale prezentei invenții se referă la decodificarea de comunicații de date primite de către dispozitivele ce reprezintă puncte finale de consum utilizând rate de eșantionare reduse pentru porțiuni ale procesului de decodificare. Un circuit de recepționare poate fi configurat și conceput pentru a decima o versiune supraeșantionată a unui semnal de intrare. O versiune decimată a semnalului de intrare poate fi utilizată împreună cu diferite funcții de procesare a semnalului. În conformitate cu exemplele de realizare ale prezentei invenții, versiunea supraeșantionată poate fi utilizată pentru a determina informația de sincronizare care este folosită pentru a oferi sincronizare prin ajustarea ratei de decimare.

Exemplele de realizare ale prezentei descrieri sunt, prin urmare, direcționate către un aparat ce are la bază un circuit și către o metodă de utilizare a aparatului. Aparatul este configurat împreună cu un circuit de procesare pentru a recepționa comunicații de date prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (CA). Circuitul de procesare poate fi configurat să recepționeze un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice. Semnalul de intrare poate fi reprezentat de către o undă purtătoare modulată ce funcționează la o frecvență dată. Dacă se dorește, semnalul de intrare poate fi demultiplicat în banda de bază pentru procesarea semnalului. Dacă semnalul de intrare utilizează modulația în cuadratură, atunci semnalele intermediare pot fi folosite pentru a separa o parte reală de o parte imaginară a semnalului de intrare. Procesorul poate detecta apoi limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare (supraeșantionare)

inițială. Decimarea este apoi realizată pentru a reduce rata de eșantionare inițială a semnalelor intermediare în conformitate cu o rată de decimare. Semnalele intermediare, acum eșantionate cu o rată de eșantionare redusă, pot fi apoi filtrate. Așa cum se descrie aici, decimarea poate fi deosebit de utilă în combinație cu filtre pentru a oferi reacție inversă (feedback), feedback care poate necesita mai multă memorie sau procesare pentru rate de eșantionare mai mari. Circuitul de procesare poate apoi determina o neconcordanță de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă. Rata de decimare este apoi ajustată în funcție de neconcordanță de temporizare determinată.

Unul sau mai multe exemple de realizare ale invenției sunt direcționate către un aparat ce are la bază un circuit utilizat pentru recepționarea comunicațiilor de date prin intermediul unor linii de distribuție ce transportă energie electrică utilizând curent alternativ (CA). Aparatul are un circuit de procesare ce este configurat și conceput să recepționeze un semnal de intrare care reprezintă comunicațiile de date transportate prin intermediul liniilor de distribuție a energiei. Pentru un semnal codificat în cuadratură, semnalul de intrare este separat în semnale intermediare ce reprezintă o parte reală și o parte imaginară. Circuitul de procesare poate apoi determina informații de temporizare provenite din partea reală și din partea imaginară. Semnalele intermediare pot fi apoi decimate conform unei rate variabile de decimare, în funcție de informația de temporizare determinată. Semnalele intermediare decimate sunt de asemenea filtrate.

Alte exemple de realizare sunt direcționate către aparate ce au la bază circuite și către metode de utilizare a aparatelor pentru recepționarea comunicațiilor de date prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (CA). Aparatele pot include unul sau mai multe circuite de procesare utilizate (sau cofigurate și concepute) să recepționeze un semnal de intrare ce reprezintă comunicații de date transmise prin intermediul liniilor de distribuție a energiei. Semnalele intermediare sunt obținute din câte o parte reală a semnalului de intrare și o parte imaginară a semnalului de intrare. Limitele simbolului sunt detectate prin procesarea semnalelor intermediare la o rată de eșantionare inițială. Rata inițială de eșantionare a semnalelor intermediare este redusă/decimată conform unei rate de decimare. Semnalele intermediare sunt apoi filtrate cu o rată redusă de eșantionare. O neconcordanță de temporizare este determinată între

limitele de simbol detectate și eșantioanele ce corespund ratei de eșantionare redusă. Rata de decimare este ajustată în funcție de neconcordanța de temporizare determinată.

Diferite variante de realizare ale prezentei invenții sunt direcționate către un dispozitiv care are unul sau mai multe circuite configurate și concepute să includă sau să ofere un prim integrator configurat să genereze o primă ieșire de integrare ce reprezintă integrarea părții reale a simbolului. Un al doilea integrator este prevăzut pentru a fi configurat să genereze o a doua ieșire de integrare ce reprezintă integrarea părții imaginare a simbolului. De asemenea, este prevăzut un indicator al intensității semnalului ce este configurat să determine o intensitate a semnalului din prima ieșire de integrare și din cea de-a doua ieșire de integrare. Un controler decimator este configurat să genereze un semnal de control de decimare în funcție de intensitatea semnalului. Un prim decimator este configurat să reducă o primă rată de eșantionare corespunzătoare primei ieșiri de integrare la o rată de eșantionare care este controlată de către un semnal de control de decimare. Un al doilea decimator este configurat să reducă o a doua rată de eșantionare corespunzătoare celei de-a doua ieșiri de integrare la o rată de eșantionare care este controlată de către un semnal de control de decimare. De asemenea, din dispozitiv mai face parte și un filtru de tip pieptene configurat să filtreze ieșirea primului decimator. Un al doilea filtru de tip pieptene este configurat să filtreze ieșirea celui de-al doilea integrator.

Prezentarea pe scurt a invenției, realizată mai sus, nu intenționează să descrie fiecare exemplu de realizare sau fiecare implementare a prezentei invenții. Figurile și descrierea detaliată care urmează, inclusiv cea ce se prezintă în capitolul de revendicări, expun mai în detaliu unele dintre aceste exemple de realizare.

SCURTĂ DESCRIERE A FIGURILOR

Diferite exemple de realizare ale prezentei invenții pot fi mai bine înțelese luând în considerare descrierea detaliată ce urmează împreună cu figurile însoțitoare, care reprezintă:

FIG. 1 prezintă o diagramă bloc al unuia sau mai multor circuite de procesare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 2 prezintă o diagramă bloc pentru un dispozitiv receptor plasat în aval (localizat în punctul final de consum), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 3 prezintă o diagramă bloc a unei transformate Fourier discrete complexe (CDFT – complex discrete Fourier transform), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 4A este un grafic al răspunsului în frecvență a unui filtru experimental CIC (cascaded integrator comb – cascadă de integrator de filtru pieptene) pentru $M = 1$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 4B este un grafic al răspunsului în frecvență a unui filtru experimental CIC (cascaded integrator comb – cascadă de integrator de filtru pieptene) pentru $M = 3$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 5 prezintă o diagramă bloc a unei CDFT alternative, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 6 prezintă o diagramă de flux exemplificativă pentru modul în care se poate realiza implementarea prelucrării și decodificării simbolurilor recepționate, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 7 prezintă o diagramă de flux exemplificativă pentru modul în care se poate implementa o cascadă de integrator de filtru pieptene (CCIC), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 8 prezintă o diagramă de flux exemplificativă pentru modul în care se poate implementa sincronizarea simbolului, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 9 prezintă o diagramă de flux exemplificativă pentru modul în care se poate determina gradul de ajustare a sincronizării, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 10A este un grafic al unui semnal supraeșantionat cu o eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere;

FIG. 10B este un grafic al unui semnal supraeșantionat fără eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere; și

FIG. 11 este un grafic al unui semnal supraeșantionat, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere.

Deși descrierea poate fi îmbunătățită cu diverse modificări și forme alternative, exemple ale acestora au fost prezentate prin intermediul variantelor de realizare din figuri și urmează a fi descrise în detaliu. Trebuie înțeles faptul că, totuși, intenția nu este de a limita dezvoltarea invenției la variantele particulare de realizare a invenției prezentate și/sau descrise. Dimpotrivă, intenția este de a acoperi toate modificările, echivalențele și alternativele care se încadrează în spiritul și scopul dezvoltării invenției de față.

DESCRIEREA DETALIATĂ A INVENȚIEI

Aspecte ale prezentei descrieri sunt considerate a fi aplicabile unei varietăți de diferite tipuri de dispozitive, sisteme și modalități de dispunere, inclusiv pentru cele care pot fi implementate cu scopul de a furniza corecția sincronizării. În timp ce prezenta descriere nu se limitează, în mod necesar, la asemenea aplicații, diferite aspecte ale dezvoltării pot fi apreciate printr-o discuție referitoare la diferite exemple folosind acest context.

Exemple ale variantelor de realizare a prezentei invenții sunt direcționate către o metodă, un dispozitiv, un sistem sau un aparat conceput să faciliteze decodificarea comunicațiilor de date recepționate de către dispozitivele ce reprezintă puncte finale de consum. De exemplu, un circuit de recepționare pentru un punct final de consum poate fi configurat și conceput pentru a utiliza o versiune supraeșantionată a unui semnal recepționat pentru o primă porțiune de procesare. Versiunea supraeșantionată poate fi decimată pentru a reduce rata de eșantionare pentru o a doua porțiune de procesare. Utilizarea unei rate reduse de eșantionare poate fi deosebit de utilă pentru reducerea procesării și/sau a cerințelor de stocare legate de procesarea eșantioanelor. De exemplu, o componentă utilizată pentru stocare poate funcționa cu mai puține cerințe legate de operații iar o componentă de feedback poate funcționa cu mai puține cerințe de memorare/stocare. În conformitate cu variantele de realizare ale prezentei invenții, versiunea supraeșantionată poate fi utilizată pentru a determina informația de sincronizare în funcție de elementele de decodificare care funcționează pe baza versiunii ratei de eșantionare reduse a semnalelor de intrare.

În cadrul mai multor variante particulare de realizare a prezentei invenții, sincronizarea poate fi efectuată prin ajustarea ratei de decimare. Acest lucru permite un reglaj mai fin al timpului la care elementele de decodificare ale simbolului recepționează eșantioanele (unde elementele de decodificare ale simbolului funcționează utilizând versiunea de rată de eșantionare redusă a semnalelor). Acest lucru se datorează faptului că rata de decimare este conectată cu timpul dintre eșantioanele selectate din versiunea supraeșantionată.

Diferite variante de realizare ale prezentei invenții recunosc faptul că informația legată de temporizarea simbolului poate fi obținută din versiunea supraeșantionată fără existența unui feedback direct provenit de la procesul de decodificare al simbolului. Astfel, variantele de realizare oferă sincronizare fără existența unei bucle de feedback aferente decodificării logice a simbolului. Exemple mai particulare de realizare a invenției recunosc faptul că această informație de temporizare a simbolului poate fi obținută utilizând un algoritm pentru detectarea intensității semnalului în urma unei integrări matematice a părților reale și imaginare ale versiunii supraeșantionate ale semnalelor.

Exemplele de realizare ale prezentei descrieri sunt, prin urmare, direcționate către un aparat ce are la bază un circuit și către metoda de utilizare a aparatului. Aparatul este prevăzut cu un circuit de procesare și este configurat să recepționeze comunicațiile de date prin intermediul unor linii de distribuție care transportă energie electrică utilizând curent alternativ (CA). Circuitul de procesare poate fi configurat pentru a recepționa un semnal de intrare reprezentând comunicațiile de date transmise prin intermediul liniilor de distribuție a energiei electrice. Acest semnal de intrare poate fi reprezentat de către o undă purtătoare modulată ce funcționează la o frecvență dată. Dacă se dorește, semnalul de intrare poate fi demultiplicat în banda de bază pentru procesarea semnalului. Dacă semnalul de intrare utilizează modulația în cuadratură, atunci semnalele intermediare pot fi folosite pentru a separa o parte reală de o parte imaginară a semnalului de intrare. Procesorul poate detecta apoi limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare (supraeșantionare) inițială. Decimarea este apoi realizată pentru a reduce rata de eșantionare inițială a semnalelor intermediare în conformitate cu o rată de decimare. Semnalele intermediare, acum eșantionate cu o rată de eșantionare redusă, pot fi apoi filtrate. Așa cum se descrie aici, decimarea poate fi deosebit de utilă în combinație cu filtre pentru a oferi reacție inversă (feedback),

feedback care poate necesita mai multă memorie sau procesare pentru rate de eșantionare mai mari. Circuitul de procesare poate apoi determina o neconcordanță de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă. Rata de decimare este apoi ajustată în funcție de neconcordanța de temporizare determinată.

Pentru exemple particulare de realizare a prezentei invenții, filtrul este un filtru tip pieptene care utilizează un parametru de întârziere. Parametrul de întârziere se referă la timpul în care informațiile de semnal sunt stocate și utilizate pentru feedback în cadrul operației de filtrare. Pentru un timp de întârziere dat, cantitatea de date stocate este direct legată de rata de eșantionare. Astfel, dacă rata de eșantionare este redusă, cantitatea de date stocate și/sau procesate ca parte din feedback este de asemenea redusă.

Aspecte ale prezentei descrieri recunosc faptul că, pentru o rată de eșantionare dată, ajustările ratei de decimare conduc la o modificare a timpului în care eșantioanele decimate sunt selectate/înregistrate. Astfel, temporizarea eșantioanelor de decimare, corespunzătoare semnalului de intrare, pot fi ajustate prin modificarea ratei de decimare. Ajustarea poate fi utilizată pentru a oferi sincronizare decodificării ulterioare.

Una sau mai multe variante particulare de realizare a prezentei invenții sunt direcționate către un aparat ce se bazează pe un circuit de recepționare a comunicațiilor de date prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curentul alternativ (CA). Aparatul are un circuit de procesare ce este configurat și conceput să recepționeze un semnal de intrare care reprezintă comunicațiile de date transportate prin intermediul liniilor de distribuție a energiei. Pentru un semnal codificat în cuadratură, semnalul de intrare este separat în semnale intermediare ce reprezintă o parte reală și o parte imaginară. Circuitul de procesare poate apoi determina informații de temporizare provenite din partea reală și din partea imaginară. Semnalele intermediare pot fi apoi decimate conform unei rate variabile de decimare, în funcție de informația de temporizare determinată. Semnalele intermediare decimate sunt de asemenea filtrate.

În conformitate cu anumite variante de realizare ale prezentei invenții, filtrul include o componentă de întârziere a feedback-ului iar informația de temporizare este determinată utilizând date obținute din integrarea semnalelor intermediare. În

unele cazuri, datele obținute pot fi utilizate pentru determinarea unui nivel al puterii recepționate corespunzătoare unui simbol transmis.

În anumite variante de realizare ale invenției, circuitele de procesare pot fi configurate și concepute pentru a fi utilizate împreună cu un sistem de comunicație care utilizează linii de distribuție a energiei electrice pentru a comunica date între un centru de comandă și dispozitive ce reprezintă puncte finale de consum utilizând noduri intermediare de colectare a datelor (dispozitive de colectare a datelor). Acest tip de sistem poate fi deosebit de util pentru contorizarea consumului raportat precum și pentru alte funcții. De exemplu, datele pot fi furnizate de către contoare de putere, contoare de gaze și contoare de apă, care sunt instalate în rețele de distribuție de gaz respectiv, de apă. Mai mult, în timp ce prezenta descriere se referă în general la puncte finale de consum ca furnizoare de date legate de utilități (de exemplu, putere) către contoarele de utilități, și alte tipuri de date pot fi, de asemenea, comunicate. Interfața cu centrul de comandă poate fi implementată utilizând o varietate de diferite rețele de comunicație ce includ, dar nu se limitează la, o rețea de arie largă (WAN) folosind Ethernet.

În conformitate cu exemplele de realizare ale prezentei invenții, fiecare dispozitiv de colectare a datelor poate fi configurat pentru a comunica cu mii de puncte finale de consum și pot exista mii de dispozitive de colectare a datelor conectate cu un centru de comandă. Astfel, pot exista milioane de puncte finale totale de consum și multe mii de aceste puncte finale de consum pot comunica prin intermediul unei linii comune de distribuție a energiei. În consecință, variante de realizare, descrise în prezenta descriere, sunt direcționate către comunicarea, coordonarea și interpretarea datelor în raport cu restricțiile sistemului. Următoarea discuție oferă o privire de ansamblu asupra diferitelor aspecte ale sistemului, fiind relevantă pentru unele din aceste restricții.

Punctele finale de consum pot fi proiectate pentru a monitoriza și raporta diverse caracteristici de operare ale rețelei de serviciu. De exemplu, în cadrul unei rețele de distribuție a energiei electrice, contoarele pot monitoriza caracteristicile referitoare la consumul de putere din rețea. Exemple legate de caracteristici ce definesc consumul de putere din rețea includ consumul de putere mediu sau total, căderile de tensiune și modificări ale sarcinii, printre altele. În rețelele de distribuție de gaz și apă, contoarele pot măsura caracteristici similare care sunt legate de consumul de gaz și de apă (de exemplu, debitul total și presiunea).

Punctele finale de consum raportează caracteristicile de funcționare ale rețelei prin intermediul canalelor de comunicație. În anumite variante de realizare ale invenției, canalele de comunicație sunt reprezentate de porțiuni ale spectrului de frecvență. Frecvența centrală și lărgimea de bandă ale fiecărui canal de comunicație pot depinde de sistemul de comunicații în care acesta este implementat. În unele implementări, canalele de comunicații pentru contoarele de utilități (de exemplu, contoare de energie, gaz și/sau apă) pot fi transmise utilizând rețele de comunicații ce utilizează linii ce transportă energie electrică care alocă lărgimea de bandă disponibilă între punctele finale de consum în funcție de o tehnică de alocare a spectrului ce se bazează pe acces multiplu cu diviziune ortogonală de frecvență (OFDMA - orthogonal frequency division multiple access) sau în funcție de o altă tehnică de alocare a canalului.

Atunci când punctele finale de consum sunt implementate în conexiune cu contoarele de energie dintr-o rețea de distribuție a energiei electrice, punctele finale de consum raportează date care actualizează informațiile provenite de la contoare. Datele actualizate ale contoarelor pot include mărimi ale puterii consumate totale, consumul de putere de-a lungul unei perioade specifice de timp, consumul de energie corespunzător orelor de vârf, tensiunea instantanee, tensiunea de vârf, tensiunea minimă și alte mărimi referitoare la consumul de putere și la gestionarea puterii (de exemplu, informații legate de încărcarea în sarcină). Fiecare dintre punctele finale de consum pot, de asemenea, transmite și alte tipuri de date, cum ar fi date de stare (de exemplu, funcționarea într-un mod normal de funcționare, modul de alimentare de urgență, sau o altă stare cum ar fi o stare de revenire ce urmează unei pene de curent).

În unele implementări, simbolurile (ce reprezintă unul sau mai mulți biți reprezentând raportarea și/sau datele de stare) sunt transmise prin liniile de distribuție ale energiei electrice de-a lungul unei perioade specifice de simbol. O perioadă de simbol reprezintă o perioadă de timp de-a lungul căreia este comunicat fiecare simbol. Un număr de simboluri sunt conținute în cadrul unei perioade de cadru, reprezentând timpul în care un cadru complet este transmis, în care fiecare cadru oferă sincronizare pentru simbolurile aceluiasi cadru de date.

Conform unor exemple de realizare ale prezentei invenții, dispozitivele de colectare a datelor sunt instalate în substații și sunt utilizate pentru a controla comunicarea bidirecțională atât cu centrul de comandă (de exemplu, localizat la un

oficiu de utilități) cât și cu punctele finale de consum (de exemplu, situate în locații de monitorizare ale clienților). Acest schimb de mesaje cu punctele finale de consum poate fi trimis în mod individual numai către un punct final de consum sau poate fi difuzat simultan la un grup de puncte finale de consum conectate cu dispozitivele de colectare a datelor. În conformitate cu anumite exemple de realizare a invenției, dispozitivele de colectare a datelor sunt proiectate cu respectarea unor specificații de ordin industrial cu scopul de a rezista la condițiile dure de mediu care sunt prezente în cadrul unei substații.

Revenind acum la figuri, FIG. 1 prezintă o diagramă bloc a unuia sau mai multe circuite de procesare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. În conformitate cu anumite variante de realizare a invenției, componentele din FIG. 1 pot fi plasate într-un dispozitiv de recepție, corespunzător unui punct final de consum, configurat să recepționeze comunicațiile efectuate prin intermediul liniilor de transport a energiei electrice. Un circuit de interfață 102 poate oferi funcția de izolare față de tensiunile înalte prezente pe liniile de distribuție ale energiei, permițând totodată recepția datelor transmise de către unul sau mai multe dispozitive de colectare a datelor. Acesta poate include, de asemenea, un filtru pentru eliminarea zgomotului și a armonicilor generate de către furnizorul de putere de curent alternativ prezent pe liniile de distribuție ale energiei electrice. Mai mult, în cazul modulației în cuadratură, circuitul de interfață 102 poate separa partea reală (Re) de partea (Im) a semnalului recepționat. În concordanță cu anumite scheme de modulație a semnalului, aceste semnale intermediare pot fi generate pe baza unei versiuni demultiplicate (bandă de bază) a semnalului recepționat.

Circuitul(ele) de procesare 104 și 108 oferă funcții asociate cu o rată mare de eșantionare (supraeșantionare) și cu o rată scăzută/decimată de eșantionare. Funcțiile de procesare supraeșantionată 110 și 112 pot fi realizate atât pe baza părții reale cât și a celei imaginare a semnalelor intermediare. De exemplu, procesarea supraeșantionată 110 și 112 poate oferi o funcție de integrare pe baza ratei de supraeșantionare. Acesta produce un semnal de ieșire ce are o granulație/acuratețe corespunzătoare cu rata de supraeșantionare.

Elementele de decimare 114 și 116 primesc la intrare ieșirea supraeșantionată ale funcțiilor de procesare 110 și, respectiv, 112. Elementele de decimare 114 și 116 produc apoi o ieșire corespunzătoare unei rate reduse de

eșantionare. Raportul dintre rata de intrare (supra)eșantionată și rata de ieșire (decimată) eșantionată reprezintă rata de decimare pentru elementele de decimare 114 și 116. Această rată de decimare poate fi ajustată, după cum s-a expus în prezenta descriere.

Funcțiile de eșantionare ale operației de decimare 118 și 120 pot fi realizate apoi la ieșirile elementelor de decimare 114 și 116. Aspecte ale prezentei invenții sunt direcționate către utilizarea funcțiilor de eșantionare ale operației de decimare 118 și 120 care reduc memoria și/sau procesarea atunci când folosesc rate de eșantionare scăzute. De exemplu, funcțiile de eșantionare ale operației de decimare 118 și 120 pot include, dar nu se limitează la, un filtru ce utilizează o componentă de feedback care stochează eșantioane anterioare. În anumite variante de realizare, filtrarea este reprezentată de către un filtru tip pieptene.

Decodificarea simbolului 106 poate fi realizată la ieșirea funcțiilor de eșantionare ale operației de decimare 118 și 120. De exemplu, schema de modulare poate utiliza una din tehnicile: modulare cu deplasare de fază în cuadratură (QPSK – quadrature phase shift keying), modulare diferențială de fază (DPSK – differential phase shift keying) și modulare cu deplasare de frecvență (FSK – frequency shift keying). Decodificarea simbolului 106 poate fi configurată pentru demodulare în consecință. Într-un caz particular, decodificarea simbolului 106 poate include un discriminator de fază delta pentru detectarea deplasărilor de fază.

Circuitul(ele) de procesare 108 pot fi configurate și concepute pentru a genera informații de sincronizare utilizând funcția de procesare a semnalului 122. Funcția de procesare a semnalului 112 primește semnalele supraeșantionate de la funcțiile de procesare 110 și 112 și utilizează aceste informații pentru a genera informațiile de sincronizare. Informațiile de sincronizare sunt utilizate pentru a determina o ajustare a decimării 124. Ajustarea decimării 124 este oferită sub forma unui control a decimării pentru a modifica rata decimării a elementelor de decimare 114 și 116 cu scopul de a realiza sincronizarea între semnalele recepționate și cele procesate specifice circuitelor.

În anumite variante de realizare ale prezentei invenții, funcția de procesare a semnalului 122 detectează limitele simbolului în timp ce ajustarea decimării 124 reprezintă o ajustare realizată cu scopul de a alinia limitele simbolului detectat cu eșantionarea decimării.

FIG. 2 prezintă o diagramă bloc pentru un dispozitiv receptor plasat în aval (localizat în punctul final de consum), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Dispozitivul receptor este configurat și conceput pentru a realiza procesul de comunicație în diferite multiple canale/benzi de frecvență. Așa cum se prezintă în figură, un semnal digital de intrare este furnizat la etajul de intrare 202 de la convertorul analog digital (CAD). Etajul de intrare poate include câteva filtre de tipul trece banda (FTB), fiecare FTB având o frecvență de trecere ce corespunde unui anumit canal de comunicație. Convertoarele coborâtoare de frecvență 204 și 206 pot fi utilizate pentru a coborâ semnalele filtrate în conformitate cu o frecvență intermediară (Fif). Convertoarele coborâtoare de frecvență 204 și 206 pot fi, de asemenea, configurate să separe partea reală de cea imaginară a semnalului de intrare prin mixarea semnalului cosinus, respectiv, a semnalului sinus.

În conformitate cu anumite exemple de realizare ale invenției, rata de eșantionare (sau frecvența de eșantionare) a convertorului analogic digital (CAD) poate fi relativ mare. Acest lucru poate fi deosebit de util pentru filtrarea trece bandă și pentru coborârea de frecvență, procese ce pot fi realizate cu cerințe relativ scăzute de procesare și memorare pentru rate de eșantionare mari. Cu toate acestea, alte tipuri de funcții pot fi prohibitiv de consumatoare la rate mari de eșantionare. Prin urmare, convertoarele coborâtoare de frecvență 204 și 206 pot fi configurate să realizeze operații de decimare în vederea diminuării ratei de eșantionare. Exemplul particular prezentat în FIG. 2 constă într-o rată de eșantionare de 480 Hz, cu toate că dispozitivul de recepție și informațiile relevante expuse nu sunt limitate la această valoare a ratei de eșantionare.

Conform unui exemplu de realizare a prezentei descrieri, filtrarea armonicilor 214 poate fi realizată cu scopul de a filtra anumite frecvențe. Aceste filtre pot fi deosebit de utile pentru filtrarea armonicilor care pot fi produse de către furnizorul de putere de curent alternativ. Această frecvență de curent alternativ, și armonicile rezultate, pot varia în jurul unei frecvențe de aproximativ 60 Hz în Statele Unite și în jurul unei frecvențe de 50 Hz în Europa. Totuși, aceste standarde, sunt relativ arbitrare și implică limitarea, în mod necesar, a diferitelor exemple de realizare discutate aici.

Blocurile de procesare 208, 210 și 212 recepționează ieșirile de la respectivele filtre de armonici 214. Pentru simbolurile codificate PSK, aceste blocuri

de procesare furnizează o discriminare de fază delta, recuperare temporizată și decodificare simbol. Mai multe funcții speciale includ o transformată Fourier discretă complexă (CDFT) 216, o determinare a puterii 218, o detectare de fază 220, o decodificare de simbol 222 și un bloc de sincronizare 224. Blocul CDFT 216 oferă procesare de semnale și filtrare utilizate pentru decodificarea simbolurilor. Blocul CDFT 216 oferă, de asemenea, funcția de decimare care reduce rata de eșantionare. Exemplul particular descrie în FIG. 2 reprezintă o rată redusă de eșantionare de 10 Hz, cu toate că dispozitivul de recepție și informațiile relevante nu se limitează la această rată. Detectorul de fază 220 detectează modulații ale fazei unei purtătoare corespunzătoare semnalului de intrare. Decodicatorul de simbol 222 decodifică modificările fazei cu scopul de a genera datele corespunzătoare. Determinarea puterii 218 determină puterea semnalului recepționat măsurată printr-o combinație dintre partea reală și partea imaginară a semnalului.

Blocul de sincronizare 224 oferă un control al semnalului utilizat pentru a modifica rata de decimare a blocului CDFT 216. Ajustări ale ratei de decimare conduc la modificări corespunzătoare legate de temporizarea selectării eșantioanelor. În acest mod, blocul de sincronizare 224 poate ajusta temporizarea componentelor ce funcționează utilizând rata de eșantionare redusă.

În concordanță cu anumite variante de realizare ale prezentei descrieri, blocul de sincronizare 224 recepționează intrarea de la blocul CDFT 216 înainte de decimare pentru a reduce rata de eșantionare. În exemplul particular din FIG. 2, aceasta ar corespunde unei frecvențe de eșantionare de 480 Hz. În consecință, blocul de sincronizare 224 poate monitoriza parametrii de semnal utilizând această rată de eșantionare mai mare. Blocul de sincronizare 224 poate utiliza această informație pentru a detecta limitele semnalului. Blocul de sincronizare 224 poate, de asemenea, recepționa datele temporale corespunzătoare ratei de eșantionare redusă și să determine neconcordanțele dintre limitele simbolului și rata de eșantionare redusă. De exemplu, temporizarea eșantioanelor care sunt preluate pentru rata redusă de eșantionare (determinată de către decimator) poate fi sincronizată cu detectorul de fază 220 și/sau cu detectorul de simbol 222.

În variante de realizare mai specifice, blocul CDFT 216 poate include un circuit de filtrare cu o funcție de integrare care funcționează la o rată de eșantionare mai mare. Datele provenite de la integrator pot fi furnizate blocului de sincronizare

224. Blocul de sincronizare 224 utilizează aceste date pentru a detecta limitele de simbol prin, de exemplu, monitorizarea puterii semnalului.

Diversele diagrame adiționale și discuții asociate expuse în prezenta descriere se pot referi la unul sau la mai multe exemple de realizare ale prezentei invenții. Aceste variante de realizare experimentale pot fi utile în sensul în care ele oferă diferite puncte de referință și exemple ilustrative. Cu toate acestea, specificurile fiecărei variante experimentale de realizare a invenției nu sunt neapărat solicitate în (sau în mod particular relevant față de) toate variantele de realizare ale prezentei descrieri.

FIG. 3 prezintă o diagramă bloc a unei transformate Fourier discrete complexe (CDFT – complex discrete Fourier transform), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Blocul CDFT 302 recepționează părțile reale (Re) și imaginare (Im) al semnalului purtător de date. Un nucleu (kernel) de transformare 304 transformă părțile reale și imaginare. Nucleul (kernel-ul) 304 lucrează cu semnalul eșantionat cu o primă rată de (supra)eșantionare. Nucleul (kernel-ul) 304 este prezentat cu ajutorul unei combinații particulare de elemente de mixare și elemente combinatoare; cu toate acestea, prezenta dezvoltare nu se limitează în mod necesar la această combinație specifică.

Leșirea nucleului (kernel-ului) 304 este transmisă blocului de filtrare 306. În exemplul de realizare a invenției prezentat în FIG.3, blocul de filtrare 306 funcționează ca și o cascadă de integrator de filtru pieptene (CCIC). Filtrul CCIC include elemente de decimare 310. Elementele de decimare 310 sunt configurare și concepute pentru a furniza o rată de decimare variabilă în funcție de o valoare sau de un semnal de intrare/de control. Funcția de integrare a filtrului CCIC este realizată înainte de elementele de decimare 310 și, prin urmare, funcționează la o frecvență de eșantionare mai mare. Funcția îndeplinită de porțiunea corespunzătoare filtrului de tip pieptene a filtrului CCIC este realizată după elementele de decimare 310 și, prin urmare, funcționează la o rată de eșantionare mai scăzută. Acest lucru poate fi deosebit de util pentru simplificarea/reducerea cerințelor necesare memorării aferente filtrului de tip pieptene deoarece filtrul de tip pieptene include o componentă de feedback ce utilizează valorile anterioare ca parte integrantă a filtrului.

O valoare a semnalului provenită de la elementele de integrare este trimisă către blocul de sincronizare și temporizare a simbolului 308. Valoarea semnalului

poate fi ajustată în funcție de componenta de feedback a filtrului pieptene, așa cum se arată prin utilizarea simbolului de adunare. Blocul de sincronizare 308 utilizează această informație cu scopul de a genera o valoare de ajustare a elementului de decimare. Valoarea de ajustare a elementului de decimare este oferită elementelor de decimare 310 utilizând o valoare/semnal de intrare/control.

În anumite variante de realizare ale invenției, valoarea de ajustare a elementului de decimare este calculată în funcție de o neconcordanță dintre sfârșitul secțiunii de decimare (definită conform temporizărilor dintre eșantioanele de decimare) și temporizările simbolului (care pot fi determinate prin monitorizarea puterii recepționate a semnalului purtător de date).

FIG. 4A este un grafic al răspunsului în frecvență a unui filtru experimental CIC (cascaded integrator comb – cascadă de integrator de filtru pieptene) pentru $M = 1$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. FIG. 4B este un grafic al răspunsului în frecvență a unui filtru experimental CIC (cascaded integrator comb – cascadă de integrator de filtru pieptene) pentru $M = 3$, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Pentru fiecare dintre FIG-urile 4A și 4B, datele reprezentate de către grafic au fost generate utilizând o rată de eșantionare: $f_s = 480$ Hz și o rată a decimării de 48. Funcția de transfer este reprezentată sub următoarea formă:

$$|H(f)| = \left| \frac{\sin\left(\frac{\pi NRf}{f_s}\right)}{\sin\left(\frac{\pi f}{f_s}\right)} \right|^{M-1}$$

După cum se prezintă în grafice, datele experimentale sugerează că $M = 1$ poate furniza caracteristici mai bune de filtrare; cu toate acestea, prezenta dezvăluire nu se limitează la aceasta. De exemplu, diferite caracteristici de intrare și parametrii de funcționare pot conduce către alte setări.

FIG. 5 prezintă o diagramă bloc a unei CDFT alternative, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Similar cu exemplul CDFT prezentat în FIG. 3, exemplul de CDFT din FIG. 5 include un bloc CDFT 502, un nucleu (kernel) de transformare 504, un bloc de filtrare 506 și un bloc de sincronizare 508. Cu toate acestea, FIG. 5 include, de asemenea, un filtru trece jos (FTJ) 510 și 512. Aceste filtru trece jos 510 și 512 pot fi utilizate pentru a filtra

interferențele și armonicile nedorite. Oarecum neașteptat, s-a constatat că filtrele trece jos 510 și 512 nu pot oferi rezultate benefice pentru anumite aplicații. Prin urmare, prezenta dezvăluire tratează variante de realizare atât cu dar și fără utilizarea de filtre trece jos 510 și 512.

FIG. 6 prezintă o diagramă de flux exemplificativă pentru modul în care se poate realiza implementarea prelucrării și decodificării simbolurilor recepționate, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Diagrama de flux poate fi pusă în aplicare cu ajutorul unuia sau a mai multe circuite de procesare, care pot fi configurate și concepute utilizând, de exemplu, instrucțiuni programate software, circuite hardware și combinații ale acestora. Circuitul(ele) de procesare încep procesarea unui canal particular la blocul 602. În anumite variante de realizare, circuitul de procesare poate fi configurat și conceput să realizeze această procesare pe mai multe canale în paralel. De exemplu, un protocol OFDMA poate fi utilizat iar circuitul de procesare poate monitoriza mai multe frecvențe diferite pentru protocolul OFDMA.

La blocul 604, circuitul de procesare este configurat și conceput pentru a realiza o conversie coborâtore de frecvență a semnalului recepționat. O descriere a variantei particulare de realizare a invenției a unei conversii coborâtore de frecvență este prezentată în legătură cu nucleul (kernel-ul) din Figurile 3 și 5.

La blocul 606, circuitul de procesare este configurat și conceput să realizeze o funcție de filtrare. Un tip particular de filtrare este aceea a unei cascade de integrare de filtru pieptene (CCIC). Un exemplu de implementare a unui circuit de procesare a unui filtru CCIC este prezentat în legătură cu FIG. 7.

Circuitul de procesare determină, la blocul 608, dacă s-a ajuns sau nu la finalul simbolului. În conformitate cu exemplele de realizare ale prezentei invenții, finalul simbolului se determină pe baza unui contor de decimare. Dacă a fost detectat finalul simbolului, atunci circuitul de procesare poate încerca să decodifice simbolul cu scopul de a obține biții de date corespunzători, așa cum arată blocul 610. Circuitul de procesare poate procesa 612 biții în mod corespunzător și, dacă se dorește, calcula statisticile simbolului la blocul 614. Statisticile pot include, dar nu sunt limitate la, puterea medie a simbolului, eroare medie de fază delta și eroarea maximă de fază delta. Dacă finalul unui simbol nu este detectat, atunci procesarea ulterioară este realizată înainte de decodificarea simbolului. Procesul se încheie la pasul 616.

FIG. 7 prezintă o diagramă de flux exemplificativă pentru modul în care se poate implementa o cascadă de integrator de filtru pieptene (CCIC), în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Circuitul de procesare începe procesul de filtrare la blocul 702 și apoi avansează la blocul 704. La blocul 704 circuitul de procesare poate adăuga următorul eșantion la un integrator. Eșantioanele în acest punct au o rată mare de (supra)eșantionare. Circuitul de procesare utilizează ieșirea supraeșantionată (OS – oversampled) a integratorului pentru a determina puterea semnalului (OSPwr) la blocul 706. Această putere determinată poate fi utilizată pentru a calcula modificarea puterii ce a survenit de la startul simbolului curent. De exemplu, pentru a determina puterea simbolului provenită atât din partea reală (ReOS) cât și din partea imaginară (ImOS), circuitul de procesare poate utiliza formula $OSPwr = ReOS^2 + ImOS^2$.

Circuitul de procesare poate apoi verifica, la blocul 708, dacă s-a atins sau nu startul unei perioade de simbol. În anumite variante de realizare, perioada de simbol se presupune a corespunde temporizării eșantionării decimatorului (lipsește o neconcordanță de temporizare). Funcția de decimare poate fi implementată luând fiecare N eșantioane, unde N = rata de decimare ("DecimateBy"). De exemplu, un contor de decimare poate fi incrementat pentru fiecare eșantion recepționat. Eșantioanele recepționate sunt eliminate decât dacă contorul de decimare este egal cu rata de decimare (sau un număr întreg multiplu al acestuia în cazul în care contorul nu este resetat). Un mecanism similar este presupus a fi utilizat în legătură cu diagramele de flux; cu toate acestea, diferite variante de realizare nu sunt limitate în mod necesar la o astfel de implementare specifică. Prin urmare, verificarea 708 poate fi realizată prin compararea contorului de decimare cu rata de decimare (DecimateBy).

Dacă se detectează începutul unui simbol de către circuitul de procesare, atunci circuitul de procesare va inițializa noul simbol pentru șirurile stocate corespunzătoare fiecărei secțiuni per bloc 710. Și indicele șirului ("i") poate fi resetat, în blocul 712. Secțiunile bazate pe simbol corespund diferitelor seturi de (supra)eșantionări din cadrul unui simbol. De exemplu, o rată de decimare de 48 are ca rezultat o (supra)eșantionare 1-48 fiind inclusă într-o perioadă de simbol. Aceste eșantioane pot fi divizate în patru secțiuni 1-12, 13-24, 25-36 și 37-48. O valoare a șirului (OSPwrMax[i]) poate fi stocată pentru fiecare secțiune (i).



Circuitul de procesare verifică, la blocul 714, finalul uneia dintre aceste secțiuni. Această verificare poate fi realizată, de exemplu, prin compararea numărătorului decimatorului cu o valoare a șirului pentru secțiunea curentă (OSPwrEnd[i]). Dacă finalul secțiunii curente a fost atins, atunci circuitul de procesare pregătește sesiunea următoare (de exemplu, prin incrementarea contorului secțiunii I" per bloc 716).

La blocul 718, circuitul de procesare compară puterea (curentă) calculată (OSPwr) cu o valoare maximă stocată a puterii pentru secțiunea curentă (OSPwrMax[i]). Valoarea curentă a puterii fiind mai mare decât maximul precedent indică faptul că puterea a crescut. Valoarea curentă a puterii fiind mai mică decât maximul precedent indică faptul că maximul precedent este o valoare locală maximă/de vârf (de exemplu, OSPwrMax[1] din FIG. 10).

Atunci când valoarea curentă a puterii nu este mai mare decât maximul precedent, circuitul de procesare continuă cu blocul 728. La blocul 728, circuitul de procesare compară puterea curentă (OSPwr) cu o valoare a puterii minime stocate corespunzătoare secțiunii curente (OSPwrMin[i]). Valoarea curentă a puterii fiind mai mică decât minimul precedent indică faptul că puterea a scăzut. Valoarea curentă fiind mai mare decât valoarea minimă precedentă indică faptul că puterea este între valorile curente de maxim și minim ale puterii.

Dacă este necesar, circuitul de procesare actualizează puterea minimă (OSPwrMin[i]) cu valoarea curentă a puterii (OSPwr) la blocul 730. Circuitul de procesare stochează totodată contorul decimatorului ce corespunde noii valori minime a puterii. În continuare, circuitul de procesare continuă cu procesul de sincronizare 726.

Atunci când valoarea curentă a puterii este în creștere în raport cu valoarea maximă precedentă a puterii, circuitul de procesare continuă cu blocul 720. La blocul 720, circuitul de procesare calculează o valoare de prag în funcție de puterea curentă și de un prag. În conformitate cu un exemplu de realizare a prezentei invenții, OSPwrMaxLatchThreshold se poate seta în funcție de o valoare predeterminată. De exemplu, se poate utiliza o simulare pentru a modela transmisia unor cadre de date test și a semnalelor rezultate precum și a zgomotului și a armonicilor liniilor de putere văzute de către dispozitivul de recepție. Rezultatele simulării pot fi apoi utilizate pentru a selecta o valoare pentru OSPwrMaxLatchThreshold care să reducă sau să minimizeze eroare medie de fază delta. În alte situații,

OSPwrMaxLatchThreshold poate fi generat în mod dinamic în funcție de condițiile actuale ale liniei de distribuției a energiei. Utilizarea unui prag generat în mod dinamic poate fi deosebit de util pentru adaptarea la schimbări; cu toate acestea, poate exista un compromis în ceea ce privește resursele de procesare. În cazul în care puterea curentă este considerată a fi suficientă (pe verificarea făcută de blocul 722), circuitul de procesare actualizează valorile șirului pentru selecția curentă așa cum arată blocul 724.

FIG. 8 prezintă o diagramă de flux exemplificativă pentru modul în care se poate implementa sincronizarea simbolului, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Procesul de sincronizare poate fi introdus o dată pe fiecare (supra)eșantionare. Circuitul de procesare intră în fluxul de sincronizare la blocul 802 și apoi continuă la blocul 804. La blocul 804 contorul de decimare (DeciCount) poate fi decrementat. De exemplu, contorul poate fi inițial setat la rata de decimare și apoi decrementat odată la fiecare (supra)eșantionare până când ajunge la zero, ceea ce indică faptul că trebuie furnizată o rată de decimare. În consecință, contorul de decimare ajunge la zero (determinat la blocul 806), circuitul de procesare putând presupune că o nouă perioadă de simbol a început. Acest tip de metodă de a ține evidența contorului de decimare nu are menirea să fie limitativă. De exemplu, există mai multe moduri diferite de a ține evidența decimării, inclusiv, dar fără a se limita la, numărarea până la zero și/sau detectarea multiplilor întregi ai ratei de decimare.

În cazul în care circuitul de procesare determină dacă o nouă perioadă a simbolului nu a fost atinsă, atunci poate ieși din procesul de sincronizare la blocul 820. În caz contrar, circuitul de procesare poate reseta contorul de decimare la rata curentă de decimare (DecimateBy), așa cum se arată de către blocul 808.

Pentru un filtru CIC, circuitul de procesare poate actualiza, de asemenea, filtrul de tip pieptene în etapa 810. De exemplu, filtrul de tip pieptene poate utiliza feedback pe baza valorilor precedente. Aceste valori precedente pot reprezenta ieșirea decimată a integrării. În consecință, filtrul de tip pieptene poate fi actualizat atunci când o nouă ieșire decimată este disponibilă.

Aspecte ale prezentei invenții sunt direcționate către protocoalele de comunicații care utilizează sincronizarea simbolurilor folosite de către dispozitivul de recepție. Dispozitivul de recepție poate utiliza temporizarea provenită din aceste simboluri sincronizate pentru a decodifica simbolurile de date ulterioare. În exemplul

particular de protocol de comunicație prezentat în FIG. 8, dispozitivul de recepție este configurat astfel încât să evite folosirea primului simbol sincronizat transmis. Astfel, primul simbol de sincronizare este efectiv omis deoarece poate fi corupt (de exemplu, datorită ajustării interne ale ceasurilor dispozitivului de recepție). În plus, cel de-al doilea simbol de sincronizare este de asemenea problematic deoarece problemele de temporizare ale primului simbol de sincronizare pot fi încă prezente în timpul următorului ciclu de decimare. Aceste omisiuni ale simbolurilor de sincronizare sunt reprezentate de către blocurile 812 și 814. În cadrul acestor blocuri un contor de sincronizare (DoSynchCount) incrementează fiecare perioadă a simbolului și apoi procesul iese când valoarea contorului este mai mică decât 2.

În caz contrar, circuitul de procesare poate reseta contorul de sincronizare (Do SynchCount) la blocul 816. În continuare, circuitul de procesare evaluează valorile șirului OSPwr cu scopul de a calcula ajustarea temporizării la blocul 818.

FIG. 9 prezintă o diagramă de flux exemplificativă pentru modul în care se poate determina gradul de ajustare a sincronizării, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Circuitul de procesare poate intra în proces la blocul 902 pentru a determina o valoare de ajustare pentru rata de decimare, unde valoarea de ajustare este setată să compenseze o neconcordanță de temporizare. La blocul 904, circuitul de procesare inițializează valori ce urmează a fi utilizate în timpul procesului. Una dintre aceste valori include valoarea secțiunii curente "i", care este utilizată pentru a indexa șirul de valori stocate anterior pentru fiecare secțiune a perioadei curente de simbol.

La blocul 906, circuitul de procesare calculează diferența dintre puterea maximă (OSPwrMax) și minimă (OSPwrMin) pentru secțiunea curentă. Blocul 908 reprezintă o verificare a faptului dacă diferența calculată depășește sau nu o valoare de prag. În cazul în care valoarea de prag nu este atinsă, atunci circuitul de procesare va avansa la următoarea secțiune prin incrementarea valorii curente a secțiunii la blocul 914. Presupunând că există mai multe secțiuni, verificare realizată de blocul 916, circuitul de procesare va repeta procesul pentru această secțiune(i). Nerespectarea valorii de prag va indica, în mod general, faptul că valoarea maximă este identică cu valoarea minimă (sau suficient de apropiate) și, prin urmare, nu există nicio eroare de sincronizare.

Totuși, în cazul în care nivelul valorii de prag este depășit, atunci circuitul de procesare va verifica dacă puterea pentru secțiunea curentă depășește puterea

secțiunilor precedente, după cum arată blocul 910. Dacă secțiunile anterioare au o putere mai mare, atunci circuitul de procesare va avansa către secțiunea următoare prin trecerea la blocul 914. În caz contrar, circuitul de procesare va actualiza puterea maximă și eroarea de sincronizare la blocul 912. Astfel, circuitul de procesare va utiliza eroarea de sincronizare corespunzătoare puterii celei mai mari.

Odată ce toate secțiunile au fost procesate, circuitul de procesare utilizează eroarea de sincronizare stocată pentru a determina o ajustare a ratei de decimare. De exemplu, valoarea de ajustare poate fi implementată sub forma unei ajustări a valorii de start pentru contorul de decimare. Astfel, atunci când decimatorul începe să numere, el va începe de la o valoare a ratei de decimare ajustată de către valoarea de ajustare. Acest lucru schimbă momentul de timp la care decimatorul furnizează o ieșire eșantionată corespunzătoare. Un exemplu particular de realizare a unei ajustări a decimatorului este prezentat în tabelul 918. Tabelul 918 include ajustări ale numărătorului corelate cu eroarea de sincronizare pentru o rată de bază de decimare de 48. În acest caz, eroarea de sincronizare reprezintă valoarea contorului de sincronizare a celui mai mare punct de eroare OSPwrMax corespunzătoare procesului descris în FIG. 7. Odată ce eroarea este determinată, procesul se poate termina cu blocul 920.

FIG. 10A este un grafic al unui semnal supraeșantionat cu o eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Linia curbă reprezintă valoarea puterii (de exemplu, $OSPwr = ReOS^2 + ImOS^2$). Întregul grafic corespunde unul ciclu complet de decimare. Vârful puterii, indicat de către săgeata 1102, reprezintă un punct probabil de limită al simbolului. Sfârșitul graficului, indicat de către săgeata 1104, reprezintă locația dorită a punctului de limită a simbolului. Localizarea săgeții 1104 reprezintă numai 66% din drumul până la finalul graficului. Prin urmare, graficul din FIG. 10A reprezintă 66% eroare.

FIG. 10B este un grafic al unui semnal supraeșantionat fără eroare de sincronizare, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. În FIG. 10B, finalul graficului și vârful puterii coincid, așa cum indică săgeata 1106. Aceasta semnifică existența sincronizării sau 0% eroare.

FIG. 11 este un grafic al unui semnal supraeșantionat, în conformitate cu exemplele de realizare ale invenției expuse în prezenta descriere. Linia curbă reprezintă valoarea puterii (de exemplu, $OSPwr = ReOS^2 + ImOS^2$). Liniile verticale

punctate reprezintă punctele de separare dintre cele patru secțiuni 1-4. Conform diferitelor variante de realizare ale invenției, discutate în prezenta descriere, un maxim ($OSPwrMax[i]$) și un minim ($OSPwrMin[i]$) al puterii pot fi stocate pentru fiecare secțiune "i". Contorul de decimare ($DeciCount$) poate fi de asemenea stocat pentru fiecare dintre punctele de putere maximă și minimă.

Referitor la secțiunea 0, puterile maxime și minime reprezintă aceeași valoare. Referindu-ne din nou la FIG. 7, valoarea minimă este setată la valoarea maximă până când și dacă puterea începe să scadă după atingerea puterii maxime. Astfel, FIG. 11 prezintă cum puterile maxime și minime sunt setate la aceeași valoare, ce coincide cu secțiunea de final 0. Secțiunile 2 și 3 sunt similare cu secțiunea 0 în cadrul căreia valorile pentru maxim și minim sunt aceleași (deși valorile diferă pentru fiecare secțiune).

Referitor la secțiunea 1, puterile maxime și minime nu sunt setate la valori diferite. Ele ar trebui, de asemenea, să aibă diferite valori stocate pentru respectivele lor contoare de decimare ($DeciCount[i]$).

Referindu-ne din nou la FIG. 9, secțiunile 2 și 3 nu vor fi utilizate pentru a determina eroarea de sincronizare deoarece $\Delta OSPwr$ nu va depăși valoarea de prag (de exemplu, acestea ar fi zero). Cu toate acestea, secțiunea 1 nu are o valoare diferită de zero pentru $\Delta OSPwr$. Presupunând că această valoare a $\Delta OSPwr$ depășește valoarea de prag, puterea maximă a secțiunii 1 va determina eroarea de sincronizare. În graficul din FIG. 11, $DeciCount$ pentru această putere maximă este 34. Valoarea de ajustare corespunzătoare din tabelul 918 este 9. Această valoare de ajustare va fi apoi adăugată cu scopul de a modifica contorul decimatorului și, astfel, să compenseze eroarea.

Semnalele și logica asociată și funcționalitatea descrise în legătură cu figurile pot fi implementate în mai multe moduri diferite. Dacă nu se indică altfel, diverse sisteme bazate pe procesoare și/sau circuite logice pot fi utilizate împreună cu programe, în conformitate cu cele descrise în prezenta invenție, sau se poate dovedi a fi mai convenabil să se construiască un aparat mai specializat pentru a pune în aplicare metoda dorită. De exemplu, în conformitate cu prezenta descriere, una sau mai multe metode pot fi implementate cu ajutorul circuitelor cablate prin programarea unui procesor de uz general, în alt circuit logic complet sau semi programabil, și/sau printr-o combinație de astfel de elemente hardware și un procesor de uz general configurat cu ajutorul unui software. Într-un alt exemplu de realizare, în anumite

contexte, trebuie să fie recunoscut faptul că un semnal poate fi reprezentat de către una sau mai multe valori digitale distribuite între diferite componente sau module software. Prin urmare, diferitele componente și procese prezentate în figuri pot fi implementate într-o varietate de forme bazate pe circuite, cum ar fi de exemplu utilizarea de module de circuite de procesare a datelor.

Este recunoscut faptul că aspecte ale descrierii pot fi puse în aplicare cu ajutorul unor configurații de sistem bazate pe calculator/procesor, altele decât cele descrise în mod expres în acest document. Structura necesară pentru o varietate de aceste sisteme și circuite este evidentă în funcție de aplicațiile avute în vedere și a descrierii de mai sus.

Persoanele cu experiență în domeniu vor utiliza diferiții termeni și tehnicile de mai sus pentru a descrie comunicațiile, protocoalele, aplicațiile, implementările, mecanismele, etc. Un exemplu de astfel de tehnică o reprezintă descrierea implementării a unei tehnici exprimate în termenii unui algoritm sau unei expresii matematice. Adică, în timp ce tehnica poate fi, de exemplu, implementată sub formă de cod executabil pe un calculator, expresia acelei tehnici poate fi succint transmisă și comunicată, într-un mod mai exact, sub forma unei formule, a unui algoritm sau a unei expresii matematice.

Astfel, se cunoaște faptul că un bloc indică "C=A+B" drept o funcție de adunare a cărei implementare în hardware și/sau software implică două intrări (A și B) și returnează la ieșire o sumă (C), precum într-un circuit logic combinatoric. Astfel, utilizarea de formule, algoritm sau expresii matematice ca elemente de descriere trebuie să fie înțeleasă ca având o formă de realizare fizică în cel puțin un hardware (cum ar fi un procesor în care tehnicile din prezenta dezvoltare pot fi puse în aplicare precum și implementate sub forma unei variante de realizare).

În anumite variante de realizare, instrucțiunile executabile de mașină pot fi stocate pentru executare într-un mod compatibil cu una sau mai multe metode expuse în prezenta descriere. Instrucțiunile pot fi utilizate pentru a face ca un procesor de uz general sau un procesor dedicat, care rulează instrucțiunile, să efectueze etapele metodelor. Alternativ, etapele pot fi efectuate de către componentele hardware ce conțin logică cablată hardware dedicate efectuării pașilor sau de către orice combinație de componente de calculatoare programate și componente hardware dedicate.

În unele variante de realizare, pot fi furnizate aspecte ale prezentei descrieri sub forma unui produs program de calculator, care poate include o mașină sau un mediu citit de calculator pe care sunt stocate instrucțiunile ce pot fi utilizate pentru programarea unui calculator (sau a altor dispozitive electronice) cu scopul de a îndeplini un proces, conform prezentei descrieri. În consecință, mediul citit de către calculator include orice tip de suport de informații/de mediu citit de către calculator potrivit pentru stocarea instrucțiunilor electronice.

Diferitele variante de realizare ale invenției descrise mai sus sunt prezentate doar cu titlu de exemplu și nu trebuie interpretate cu scopul de a limita dezvoltarea. Pe baza celor discutate și prezentate mai sus, persoanele de specialitate în domeniu vor recunoaște cu ușurință că diferite modificări și schimbări pot fi făcute prezentei descrieri fără să respecte cu strictețe exemplele de variante de realizare și aplicațiile expuse și descrise aici. De exemplu, astfel de modificări pot include variante cu privire la modul în care contorul decimatorului este actualizat și ajustat. Astfel de modificări și schimbări nu se îndepărtează de la adevăratul spirit și de la sfera de protecție a prezentei invenții de față, expusă în revendicările care urmează.

REVEDICĂRI:

1. Un aparat pe bază de circuit pentru recepționarea comunicațiilor de date transmise prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (CA), aparatul cuprinzând:

un circuit de procesare configurat și conceput să

recepționeze un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice;

producă semnale intermediare din fiecare parte reală și parte imaginară a semnalului de intrare;

detecteze limitele simbolului prin procesarea semnalelor intermediare la o rată de eșantionare inițială;

reducă rata inițială de eșantionare a semnalelor intermediare conform unei rate de decimare;

filtreze semnalele intermediare cu o rată redusă de eșantionare;

determine o neconcordanță de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă; și

să ajusteze rata de decimare în funcție de necondordanța de temporizare determinată.

2. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să detecteze limitele simbolului prin monitorizarea semnalului de intrare corespunzător ratei de eșantionare inițiale și să detecteze vârfurile de putere care apar între eșantioanele corespunzătoare ratei reduse de eșantionare.

3. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să determine neconcordanța de temporizare utilizând numărul de eșantioane, la o rată inițială de eșantionare, dintre o limită detectată a simbolului și un următor eșantion ce corespunde ratei reduse de eșantionare.

4. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să utilizeze semnalele intermediare filtrate

pentru a decodifica simbolurile codificate în fază transmise de către semnalele intermediare.

5. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să furnizeze o discriminare de fază delta și o decodificare de simbol a semnalelor intermediare filtrate.

6. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să filtreze semnalele intermediare cu rată redusă de eșantionare utilizând un filtru de tip pieptene ce include o componentă de reacție inversă dependentă de rata de decimare.

7. Aparat, conform revendicării 1, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să determine o neconcordanță de temporizare pentru un set de simboluri de sincronizare prin omiterea datelor temporale pentru primele două simboluri de sincronizare din setul de simboluri de sincronizare.

8. Un aparat pe bază de circuit pentru recepționarea comunicațiilor de date transmise prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (CA), aparatul cuprinzând:

un circuit de procesare configurat și conceput să

recepționeze un semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice;

producă semnale intermediare din fiecare parte reală și parte imaginară a semnalului de intrare;

proceseze semnalele intermediare în vederea determinării informației de sincronizare pentru semnalele intermediare;

decimeze semnalele intermediare conform unei rate de decimare variabile ce depinde de informația de temporizare determinată; și

să aplice un filtru pentru semnalele intermediare decimate.

9. Aparat, conform revendicării 8, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să proceseze semnalele intermediare

pentru a determina informațiile de temporizare pentru semnalele intermediare prin detectarea limitelor simbolului.

10. Aparat, conform revendicării 8, caracterizat prin aceea că circuitul de procesare mai este configurat și conceput să demoduleze semnalele intermediare în conformitate fie cu deplasarea de fază în cuadratură (QPSK), fie diferențială de fază (DPSK) fie cu deplasarea de frecvență (FSK).

11. O metodă de utilizare a aparatului pe bază de circuit pentru recepționarea comunicațiilor de date transmise prin intermediul liniilor de distribuție ce transportă energie electrică utilizând curent alternativ (CA), metoda constând în:

utilizarea unui circuit de procesare pentru

recepționarea unui semnal de intrare ce reprezintă comunicațiile de date transmise prin liniile de distribuție a energiei electrice

producerea de semnale intermediare din fiecare parte reală și parte imaginară a semnalului de intrare;

detectarea de limite ale simbolului prin procesarea semnalelor intermediare la o rată de eșantionare inițială;

reducerea ratei inițiale de eșantionare a semnalelor intermediare conform unei rate de decimare;

filtrarea semnalelor intermediare cu o rată redusă de eșantionare;

determinarea unei neconcordanțe de temporizare între limitele detectate ale simbolului și eșantioanele corespunzătoare ratei de eșantionare redusă; și

ajustarea ratei de decimare în funcție de necondordanța de temporizare determinată.

12. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare pentru detectarea limitelor simbolului prin monitorizarea semnalului de intrare corespunzător ratei de eșantionare inițiale și detectarea vârfurilor de putere ale semnalului care apar între eșantioanele corespunzătoare ratei reduse de eșantionare.

13. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare pentru determinarea neconcordanței de temporizare utilizând numărul de eșantioane, la o rată inițială de eșantionare, dintre o limită detectată a simbolului și un următor eșantion ce corespunde ratei reduse de eșantionare.

14. Metodă, conform revendicării 11, care include suplimentar folosirea circuitului de procesare cu scopul de a utiliza semnalele intermediare filtrate pentru a decodifica simbolurile codificate în fază transmise de către semnalele intermediare.

15. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare cu scopul de a furniza o discriminare de fază delta și o decodificare de simbol a semnalelor intermediare filtrate.

16. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare cu scopul filtrării semnalelor intermediare ce au o rată redusă de eșantionare utilizând un filtru de tip pieptene ce include o componentă de reacție inversă dependentă de rata de decimare.

17. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare în vederea determinării unei neconcordanțe de temporizare pentru un set de simboluri de sincronizare prin omiterea datelor temporale pentru primele două simboluri de sincronizare din setul de simboluri de sincronizare.

18. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare cu scopul de a realiza etapele de mai sus pentru fiecare din canalele multiple care au frecvențe diferite.

19. Metodă, conform revendicării 11, care include suplimentar utilizarea circuitului de procesare cu scopul de a realiza filtrare de bandă pentru multiple canale și frecvențe.

20. Un dispozitiv care cuprinde:
unul sau mai multe circuite de procesare configurate și concepute să includă sau să furnizeze

un prim integrator configurat să genereze o primă ieșire de integrare ce reprezintă integrarea părții reale a simbolului;

un al doilea integrator configurat să genereze o a doua ieșire de integrare ce reprezintă integrarea părții imaginare a simbolului;

un indicator al intensității semnalului configurat să determine o intensitate a semnalului pe baza primei ieșiri de integrare și a celei de-a doua ieșiri de integrare;

un controler de decimare configurat să genereze un semnal de control de decimare ca răspuns la intensitatea semnalului;

un prim decimator configurat să reducă o primă rată de eșantionare a primei ieșiri de integrare la o rată de eșantionare care este controlată de către un semnal de control de decimare;

un al doilea decimator configurat să reducă o a doua rată de eșantionare a unei a doua ieșiri de integrare la o rată de eșantionare care este controlată de către un semnal de control de decimare;

un prim filtru de tip pieptene configurat să filtreze ieșirea primului decimator; și

un al doilea filtru de tip pieptene configurat să filtreze ieșirea celui de-al doilea decimator.

Desene:

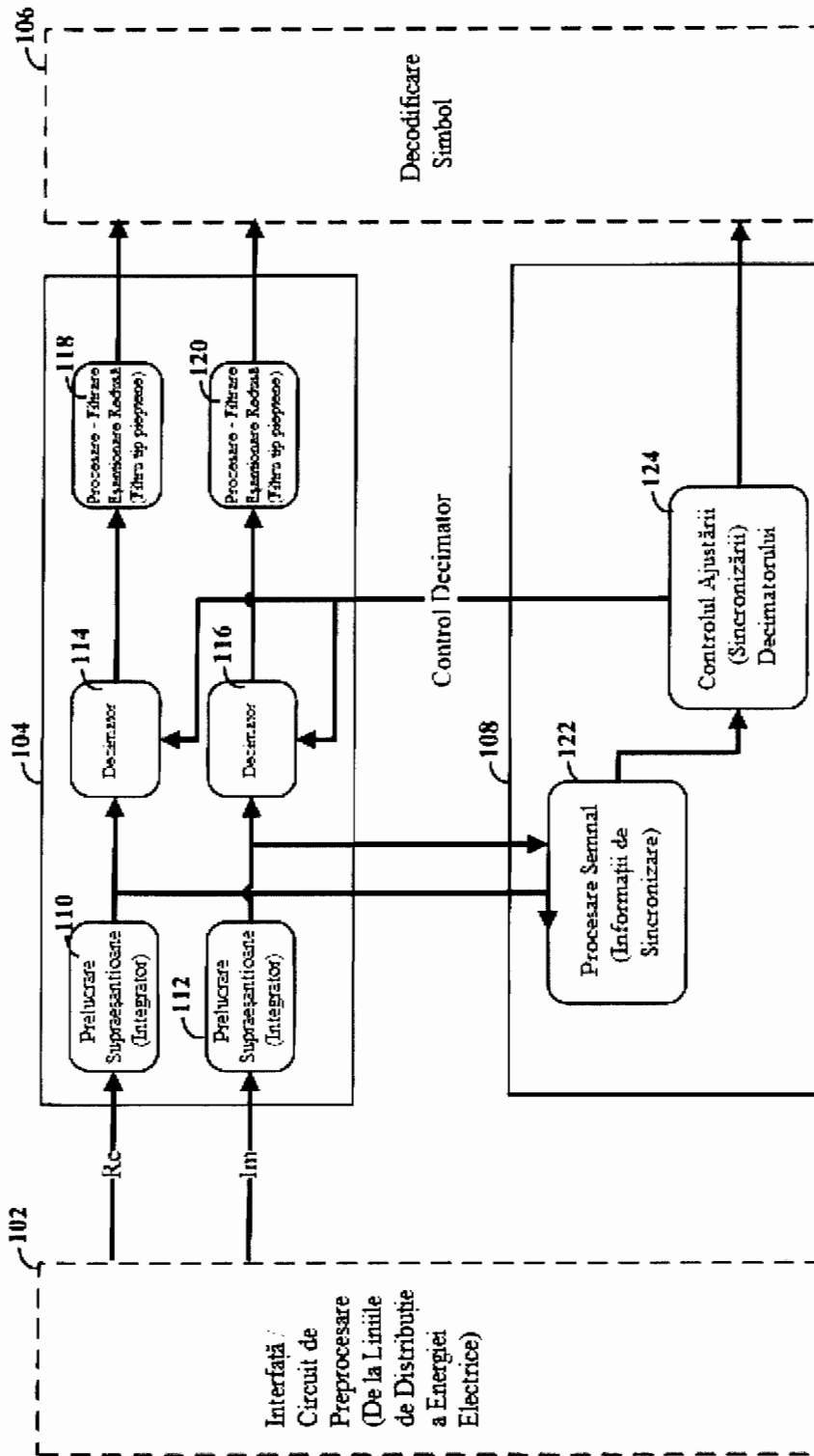


FIG. 1

Dispozitiv Receptor montat in Aval

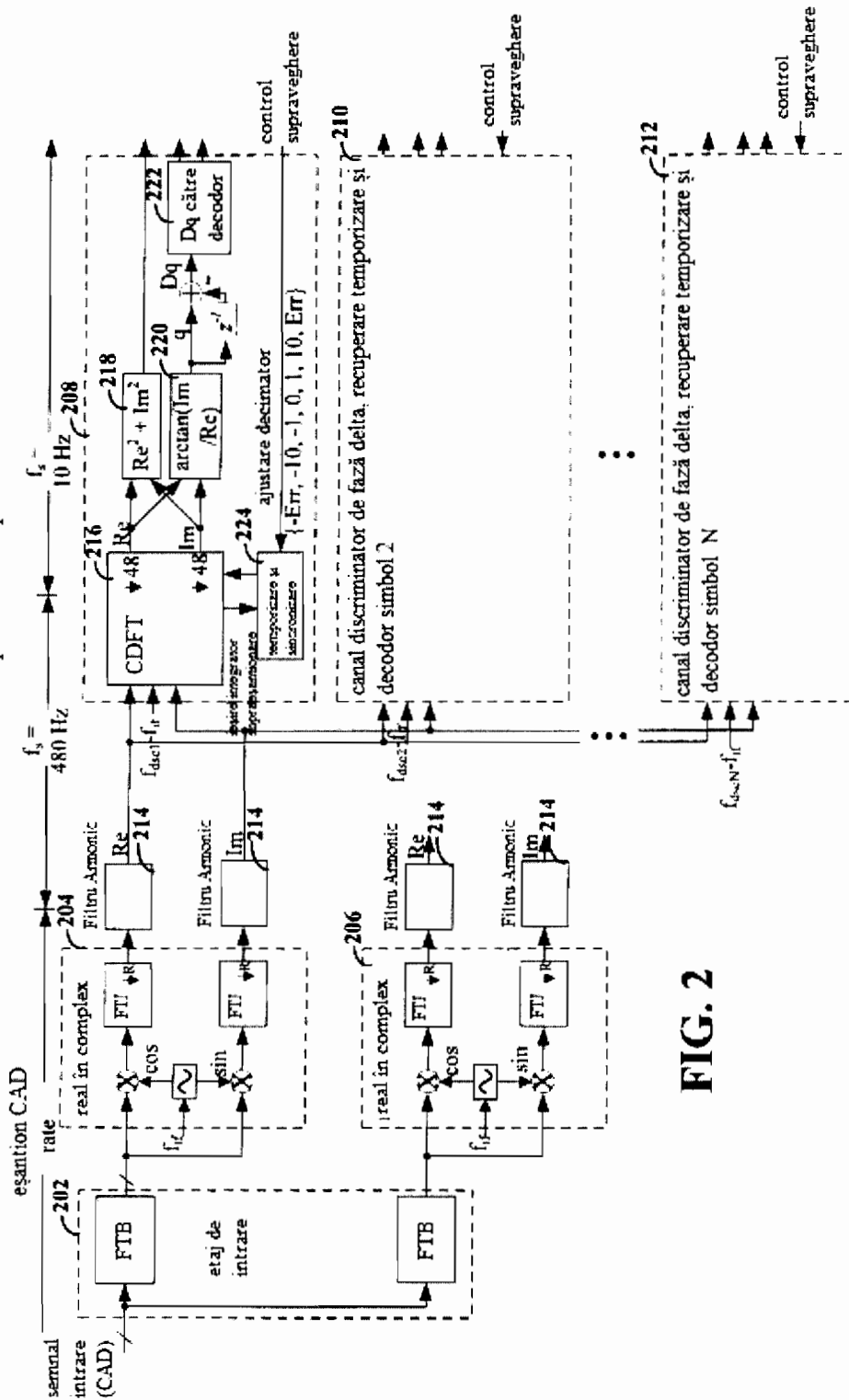


FIG. 2

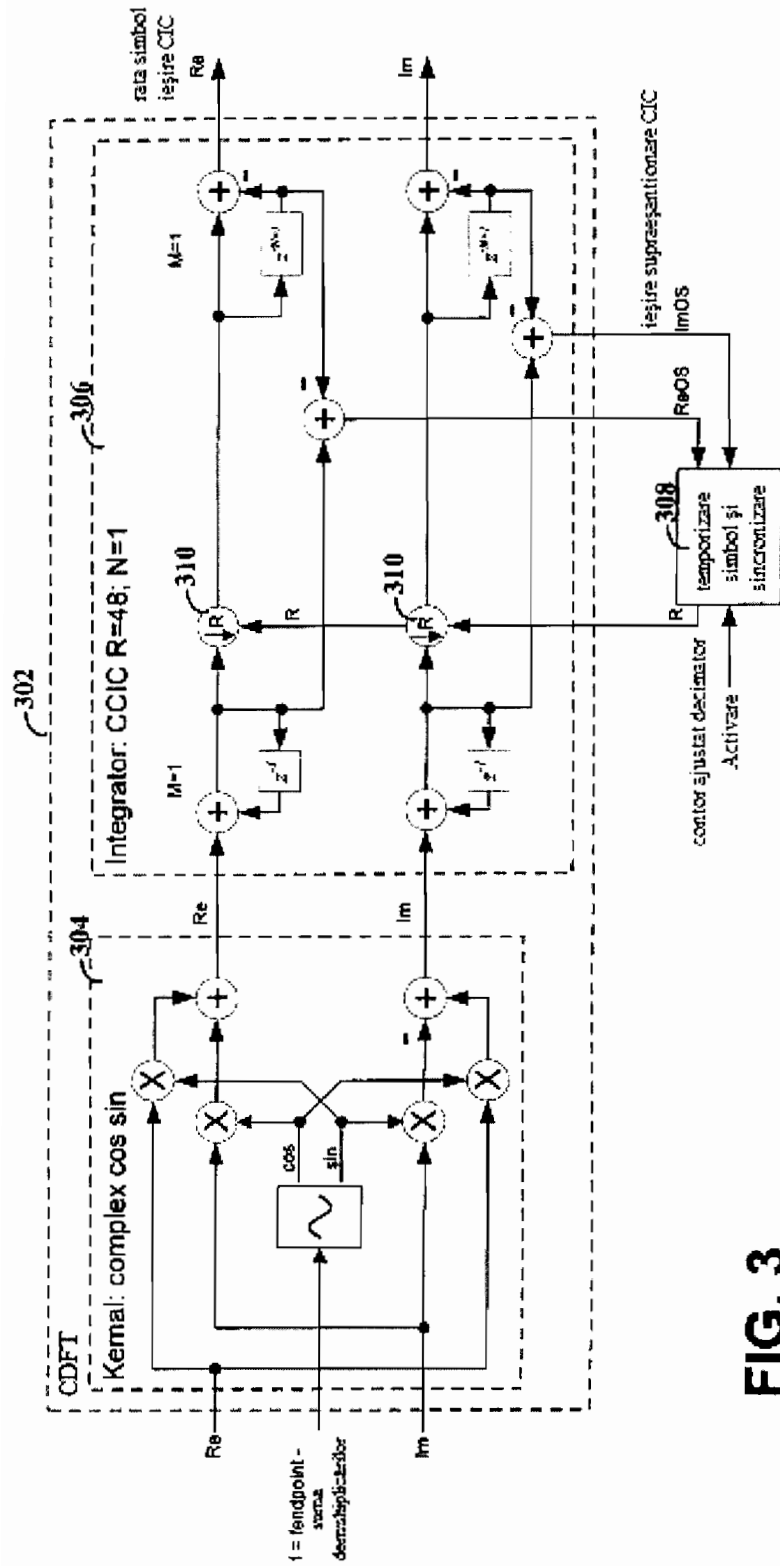


FIG. 3

Răspuns Frecvență CIC, $f_s = 480\text{Hz}$, $R=48$, $N=0$

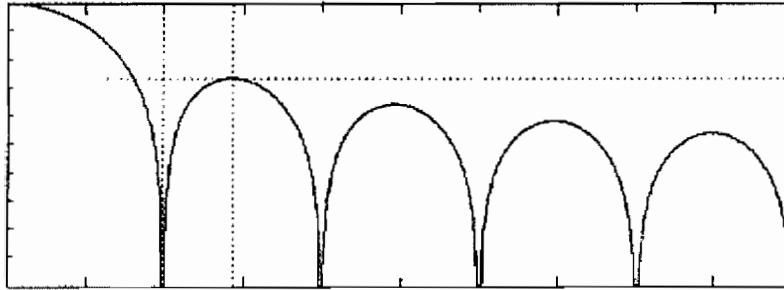


FIG. 4A

Răspuns Frecvență CIC, $f_s = 480\text{Hz}$, $R=48$, $N=0$

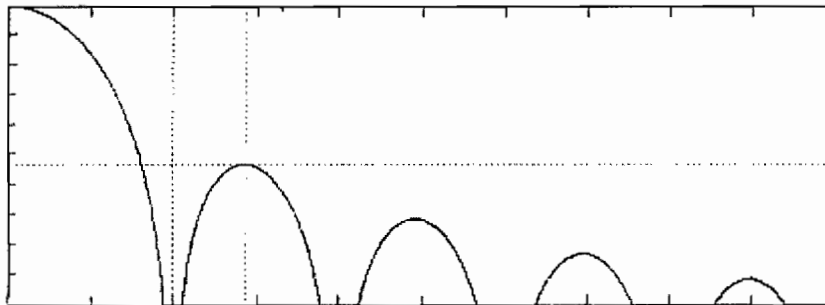


FIG. 4B

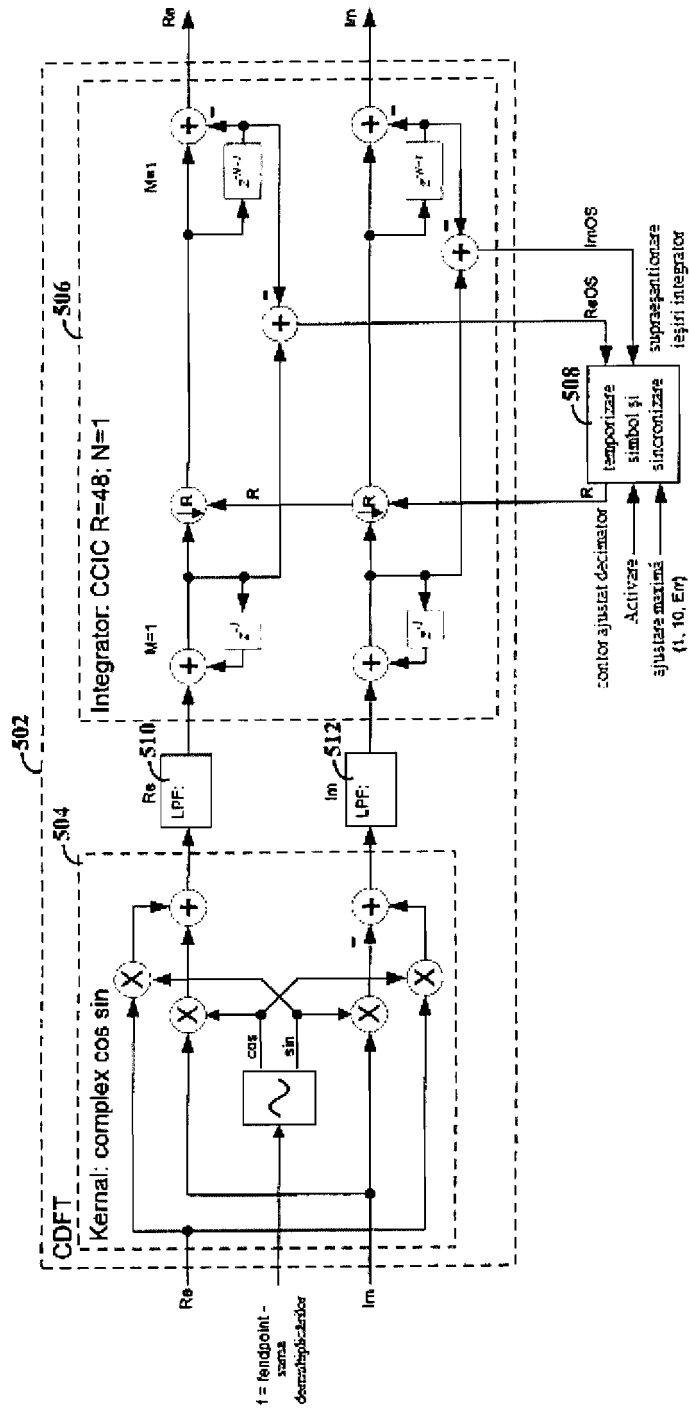
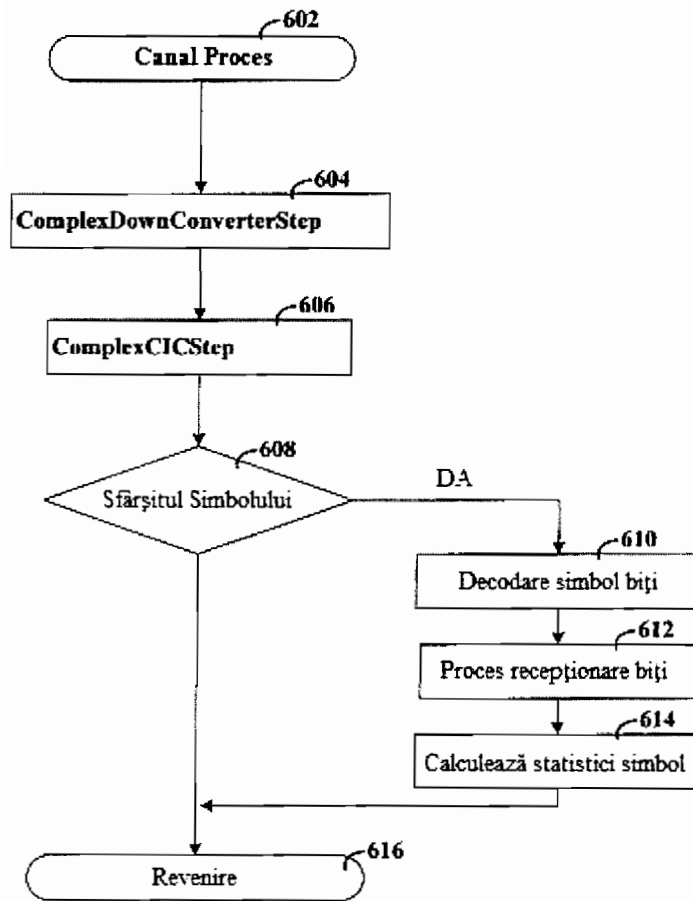
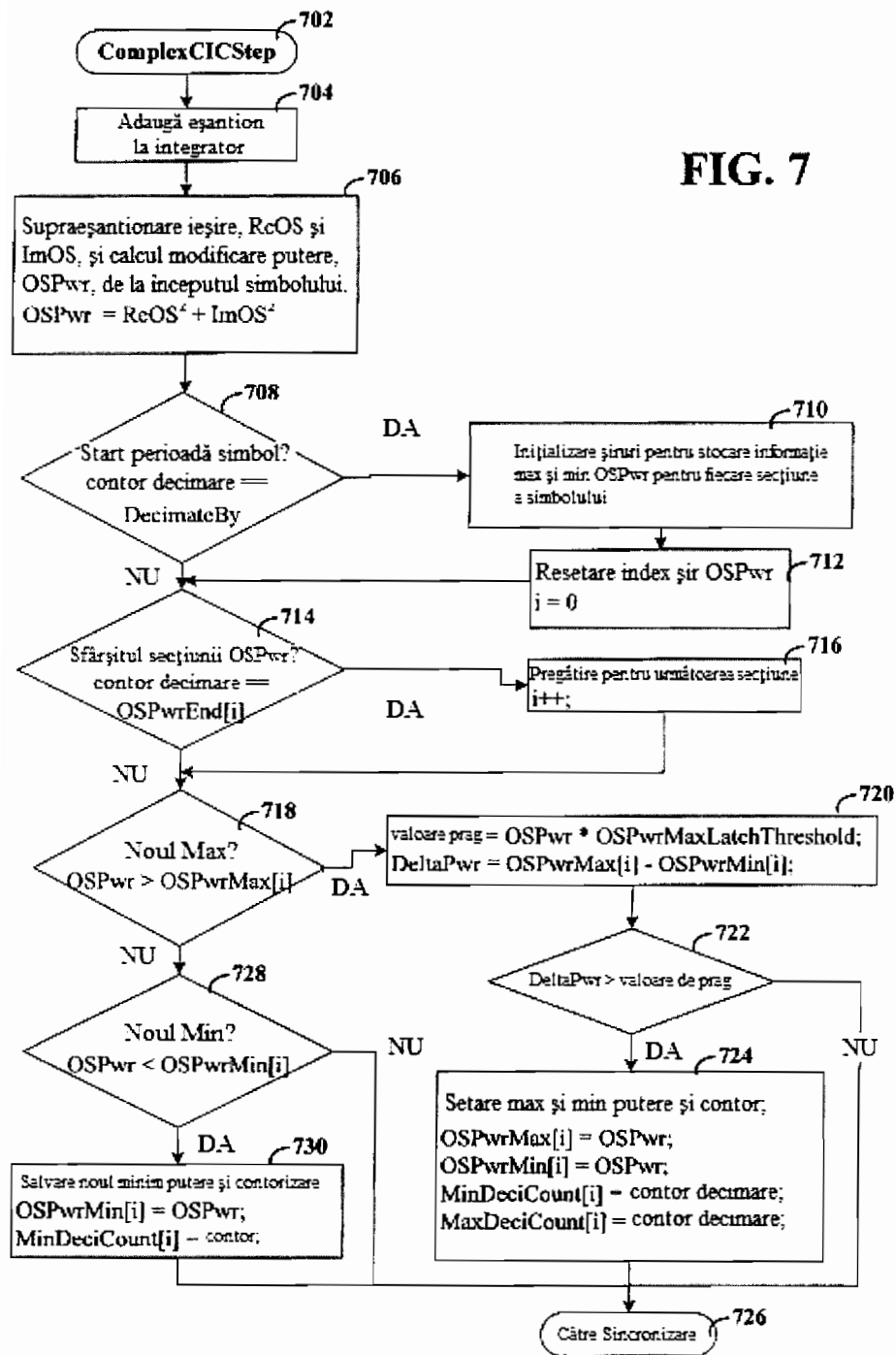


FIG. 5

128

FIG. 6





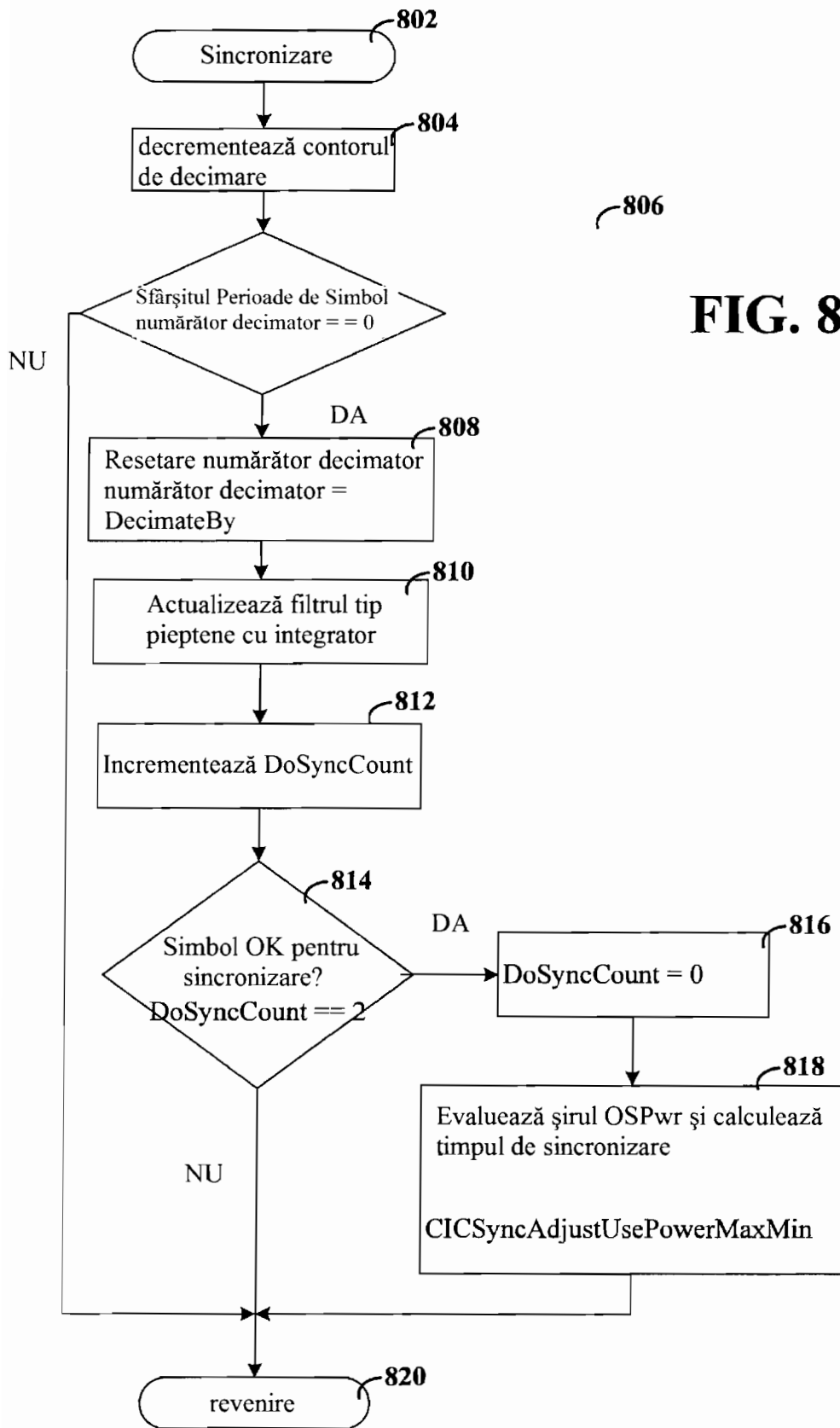


FIG. 8

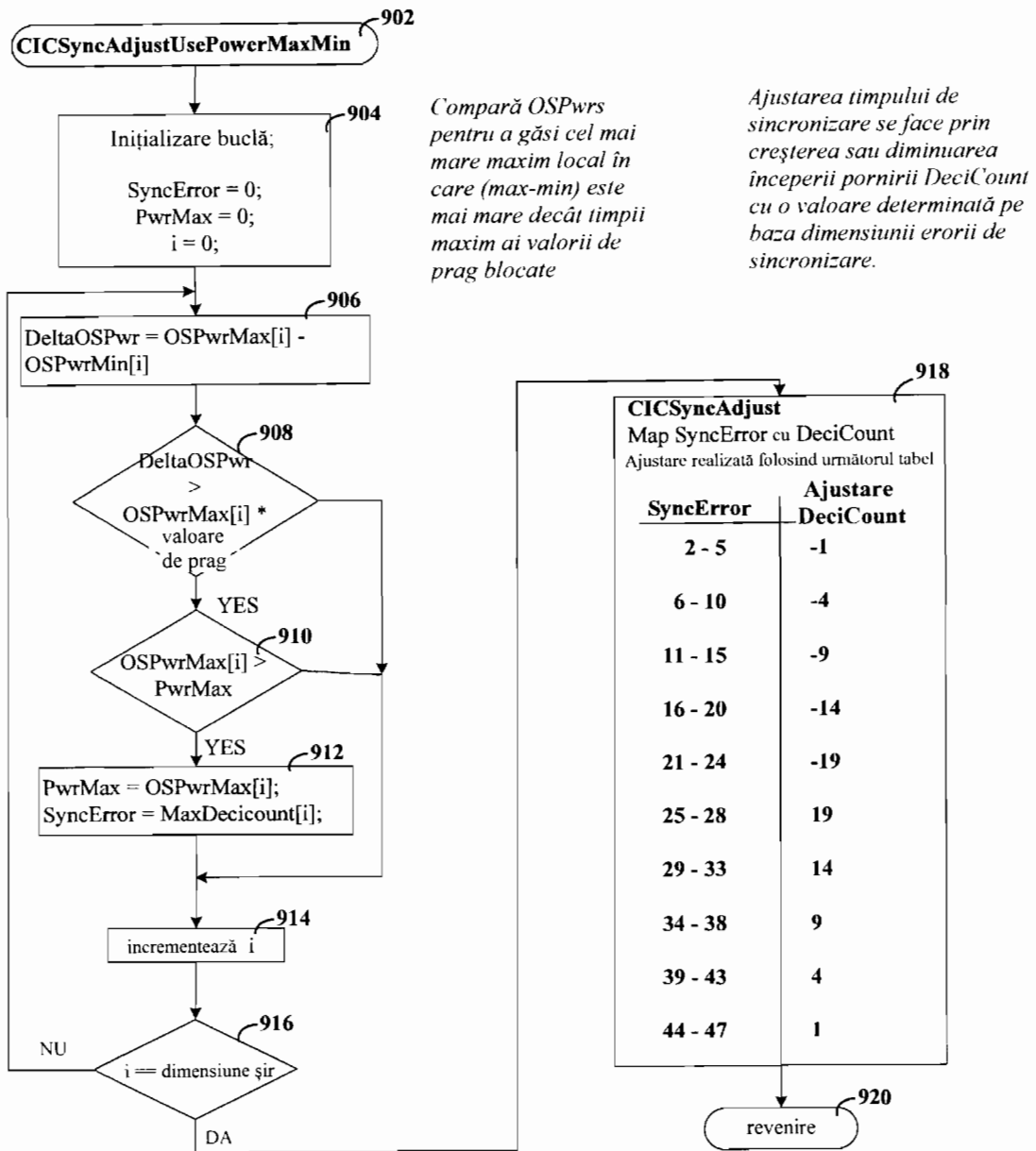


FIG. 9

CIC Putere Ieşire Supraeşantionare; Eroare Temporizare Simbol = 66 %

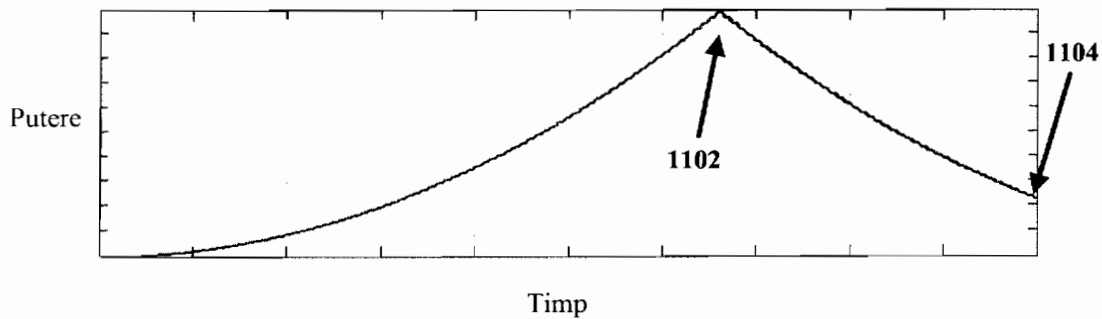


FIG. 10A

CIC Putere Ieşire Supraeşantionare; Eroare Temporizare Simbol = 0%

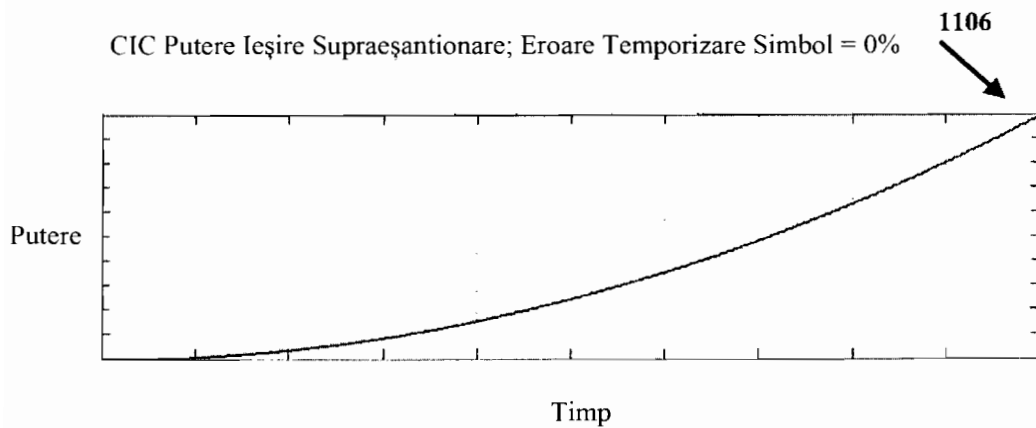
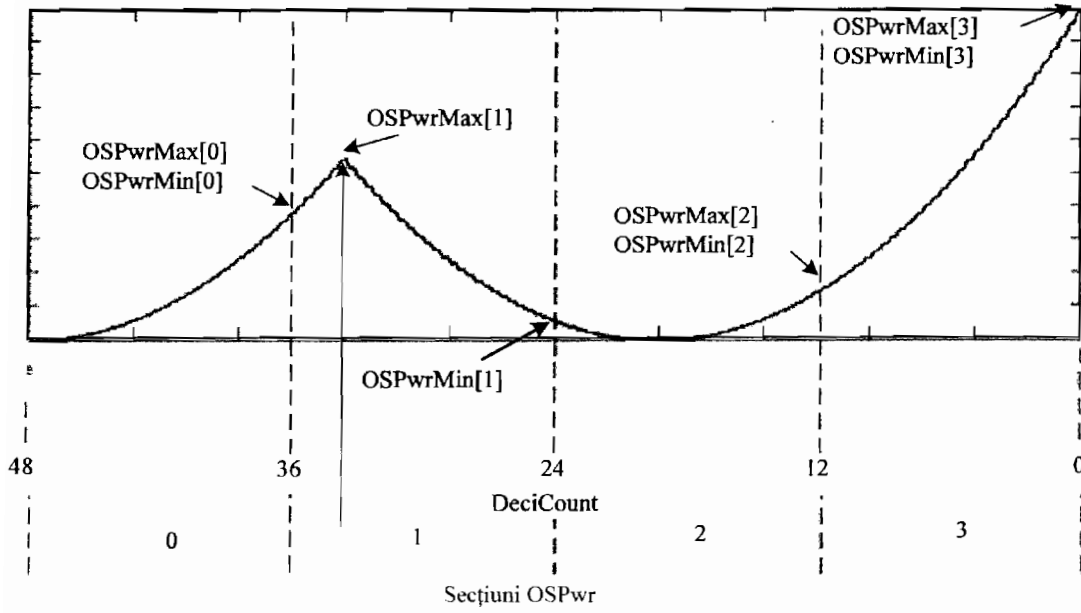


FIG. 10B



SyncError = 34 -> Ajustare DeciCount = 9

FIG. 11