



(12)

## BREVET DE INVENȚIE

(21) Nr. cerere: **a 2011 00987**

(22) Data de depozit: **30/09/2011**

(45) Data publicării mențiunii acordării brevetului: **29/11/2018** BOPI nr. **11/2018**

(41) Data publicării cererii:  
**30/04/2013** BOPI nr. **4/2013**

(73) Titular:  
• **UNIVERSITATEA "BABEȘ-BOLYAI" DIN  
CLUJ-NAPOCA,  
STR. MIHAIL KOGĂLNICEANU NR. 1,  
CLUJ-NAPOCA, CJ, RO**

(72) Inventatori:

• **BARTHA ATTILA, STR. TINERETULUI  
NR. 9/13, ODORHEIU SECUIESC, HR, RO;**  
• **DUMITRESCU DUMITRU, STR. DONATH  
NR. 109, AP. 36, CLUJ-NAPOCA, CJ, RO;**  
• **CREMENE MARCEL, STR. ZORILOR  
NR. 36/7, CLUJ NAPOCA, CJ, RO**

(56) Documente din stadiul tehnicii:

**US 7860814 B1; JPH 02146193 A**

(54)

## **DISPOZITIV ELECTRONIC PENTRU REZOLVAREA PROBLEMEI NP-COMLETE "SUBSET-SUM" ȘI IDENTIFICAREA PĂRȚILOR SUMEI**



# RO 128328 B1

1           Invenția se referă la un dispozitiv electronic pentru rezolvarea problemei NP  
complete „subset-sum” și identificarea părților sumei. Dispozitivul propus identifică o soluție  
3 reprezentată sub forma unui subset de valori.

          În informatică, problema „subset-sum” este o problemă clasică, importantă în  
5 domeniul teoriei complexității computaționale cu aplicații în criptografie și optimizare. Această  
problema se definește astfel: dându-se o mulțime de numere întregi pozitive și un număr  
7 sum, se cere să se verifice dacă există o submulțime nevidă a acestei mulțimi astfel încât  
suma elementelor acesteia să fie egală cu numărul sum.

9           Problema „subset-sum” este NP-completă (nerezolvabilă în timp polinomial  
determinist). Multe probleme NP-complete de optimizare combinatorială pot fi reduse la  
11 această problemă. Existența unui procedeu rapid de rezolvare a problemei poate fi utilizată,  
de exemplu, în decriptarea mesajelor care folosesc scheme criptografice de acest tip.  
13 Procedeu propus poate fi generalizat și utilizat în rezolvarea unor probleme dificile  
(NP-complete) de optimizare combinatorială și de criptografie. Probleme practice de  
15 optimizare la care mai poate fi aplicată invenția sunt și cele de tip „bin packing”. Astfel,  
dispozitivul propus are aplicabilitate în soluționarea problemelor de alocare eficientă de  
17 resurse, cum ar fi: decuparea materialelor cu pierderi minime, împachetarea optimă a unor  
obiecte într-un container, alocarea optimă a timpilor de execuție a unor procese, utilizarea  
19 optimă a spațiilor de transport sau depozitare și alte probleme similare.

          În scopul rezolvării problemei „subset-sum” nu este cunoscut niciun dispozitiv fizic,  
21 dedicat. În acest scop, se cunosc numai modele și algoritmi implementabili software, pe un  
computer.

23           Problema tehnică pe care o rezolvă invenția este determinarea eficientă a existenței  
unei soluții la o problemă “subset-sum”, de tip NP-completă, nerezolvabilă în timp  
25 polinomial determinist, iar dacă soluția există, și aceasta va fi determinată.

          Această problemă tehnică se rezolvă cu un dispozitiv electronic pentru rezolvarea  
27 problemei NP-complete “subset-sum” și identificarea părților sumei care conține un modul  
sistem cascadă compus din niște regiștri de deplasare și niște porți logice SAU, caracterizat  
29 prin aceea că mai conține:

          - un modul de calcul al sumei parțiale, compus din niște componente de adunare  
31 cascade, niște componente de diferență și niște componente de tip buffer comandat, care  
are ca semnale de intrare elementele mulțimii în format binar, valoarea sum sub forma unei  
33 constante în format hexazecimal, și semnale binare de selecție a elementelor mulțimii care  
se sumează, iar ca ieșire diferența dintre valoarea sum și valoarea sumei parțiale la un  
35 moment dat;

          - un modul de verificare a stării circuitului compus din niște blocuri comparatoare, un  
37 bistabil de tip D, două porți logice de tip ȘI și o poartă inversoare ce are ca semnale de  
intrare ieșirea modulului de calcul al sumei parțiale și ieșirea numărătorului binar, iar ca  
39 semnale de ieșire un LED aprins, calcul terminat dacă s-a găsit o soluție, și alt LED aprins,  
sumă necalculabilă, nicio soluție;

41           - un modul de memorare a stării compus din niște bistabili de tip D și niște porți logice  
de tip ȘI și SAU ce are ca semnale de intrare semnalul READY de la modul de verificare a  
43 stării circuitului, stările modulului cascadă, iar ca ieșire LED-urile aprinse, elementele mulțimii  
care adunate dau valoarea sum dacă există cel puțin o soluție.

45           Prin utilizarea dispozitivului electronic propus pentru găsirea unei soluții la problema  
NP-completă „subset-sum”, se obțin următoarele avantaje:

47           - implementare hardware facilă și cu costuri relativ reduse, spre deosebire de  
majoritatea algoritmilor existenți, care au fost concepuți pentru implementări software;

# RO 128328 B1

- viteza de lucru ridicată datorită complexității în timp, care este liniară în raport cu valoarea sum;	1
- costuri de realizare reduse datorită complexității spațiale liniare în raport cu suma elementelor mulțimii date.	3
Se dă, în continuare, un exemplu de realizare a invenției, în legătură cu figura, care reprezintă:	5
- figura, dispozitiv electronic pentru rezolvarea problemei NP-complete "subset-sum" și identificarea părților sumei.	7
Dispozitivul electronic care rezolvă problema NP-completă „subset-sum” se bazează pe un model original, numit sistem cascadă. Sistemul cascadă are o structura liniară și este format prin înlănțuirea mai multor noduri care procesează semnale binare. Implementarea hardware a acestui dispozitiv este descrisă în cererea de brevet cu titlul „Dispozitiv electronic pentru rezolvarea problemei NP-complete „subset-sum”.	9
În plus, față de propunerea de brevet anterioară, cu titlul „Dispozitiv electronic pentru rezolvarea problemei NP-complete „subset-sum”, în această cerere de brevet se propune modalitatea de identificare a părților sumei în problema „subset-sum”.	11
Dispozitivul electronic (figura) este descris prin schema sa electrică și este compus din următoarele elemente, care au fost grupate pe module pentru o înțelegere mai facilă:	13
Modulul de calcul al sumei parțiale, <b>1</b> , primește ca semnale de intrare:	15
- valorile în format binar ale elementelor mulțimii, sub forma unor constante numerice, în cazul exemplificat acestea fiind: 2, 3, 5, 7 și 11;	17
- valoarea sumei sum, sub forma unei constante numerice; în cazul exemplificat, aceasta este valoarea hexazecimală 1C;	19
- semnalele binare reprezentând selecția elementelor sumei, câte o valoare binară 0/1 pentru fiecare element al mulțimii. Aceste semnale provin de la modulul de memorare a stării <b>22</b> , mai precis de la ieșirile bistabililor tip D <b>24</b> , și sunt semnalizate vizual cu ajutorul LED-urilor <b>26</b> .	21
Ieșirea modulului de calcul al sumei parțiale <b>1</b> corespunde ieșirii componentei de diferență <b>3</b> și este egală cu diferența dintre valoarea sum și valoarea sumei parțiale la un moment dat. Valoarea sumei parțiale este calculată utilizând componentele de adunare cascade <b>2</b> care primesc, la intrări, valoarea elementului mulțimii, dacă elementul este selecționat, sau valoarea 0, altfel. Decizia se realizează utilizând componentele de tip buffer comandat <b>4</b> .	23
Modulul de verificare a stării circuitului <b>7</b> are rolul de a verifica dacă s-a găsit o soluție și/sau dacă s-a terminat calculul. Acest modul primește, la intrare, ieșirea modulului de calcul al sumei parțiale <b>1</b> , calculată așa cum s-a explicat anterior, precum și ieșirea numărătorului binar <b>6</b> . La ieșire, modulul de verificare a stării circuitului <b>7</b> furnizează două semnale binare care se afișează folosind două LED-uri: calcul terminat <b>13</b> care indică finalizarea calculului și suma necalculabilă <b>12</b> care, dacă este în starea 1 logic, indică faptul că nu s-a găsit nicio soluție. Pentru aceasta, modulul de verificare a stării circuitului <b>7</b> utilizează blocurile comparatoare <b>8</b> , bistabilul de tip D <b>9</b> , două porți logice de tip ȘI <b>11</b> și o poartă inversoare <b>10</b> . Modulul mai primește și semnalul de reset care provine de la butonul de master reset <b>27</b> , semnal care se aplică pe intrarea de reset a bistabilului tip D <b>9</b> .	25
Modulul de generare și sincronizare a tactului <b>14</b> primește, la intrare, un semnal binar care este dat de rezultatul operației de SAU logic între semnalele de calcul terminat <b>13</b> , respectiv suma necalculabilă <b>12</b> . Același modul mai primește și semnalul de reset care provine de la butonul de master reset <b>27</b> , semnal care se aplică pe intrarea de reset a bistabilului tip D <b>16</b> . Modulul de generare și sincronizare a tactului <b>14</b> mai conține și o poartă logică ȘI cu trei intrări <b>18</b> , respectiv un inversor <b>17</b> .	27
	29
	31
	33
	35
	37
	39
	41
	43
	45
	47
	49

# RO 128328 B1

1 Modulul cascadă **21** implementează componentele specifice sistemului cascadă  
descriș în cererea de brevet cu titlul „*Procedeu pentru rezolvarea problemei NP complete*  
3 *subset-sum*”. Explicații privind implementarea acestuia pentru problema verificării „subset-  
sum” se găsesc în cererea de brevet cu titlul „*Dispozitiv electronic pentru rezolvarea*  
5 *problemei NP-complete „subset-sum”*”. Acest modul primește ca intrări:

7 - semnalul de tact, care provine de la ieșirea modulului de generare și sincronizare  
a tactului **14**;

- semnalul de la ieșirea numărătorului binar **6**;

9 - un semnal de reset care este obținut la ieșirea porții logice SAU **20**, poartă ce  
realizează o operație SAU logic între semnalul de master reset **27** și un al doilea semnal ce  
11 provine de la modulul de verificare a stării circuitului **7**. Acest semnal de reset se aplică atât  
numărătorului binar **6**, cât și regiștrilor de deplasare **19**;

13 - pentru fiecare registru de deplasare este prevăzută o intrare cu rol de validare a  
propagării semnalului, care provine de la modulul de memorare a stării **22**, mai precis de la  
15 ieșirile porților logice ȘI **23**.

17 Ieșirile modulului cascadă reprezintă ieșirile regiștrilor de deplasare **19** care sunt  
utilizate de către modulul de memorare a stării **22**. Regiștrii de deplasare **22** corespund  
elementelor mulțimii date, având exact atâtea celule de memorie cât este valoarea fiecărui  
19 element al mulțimii date. O condiție esențială în funcționarea circuitului este ca elementele  
sumei să fie ordonate crescător, de la stângă la dreapta.

21 Modulul de memorare a stării **22** are rolul de a memora soluția corectă dacă aceasta  
este găsită. Modulul este format din bistabili de tip D **24**, **25**, respectiv porți logice de tip ȘI  
23 și SAU cu două intrări, conform schemei din figură. Modulul primește semnalul de master  
reset **27** care este aplicat intrărilor de reset ai bistabililor D **24** și **25**. De asemenea, mai  
25 primește semnalul numit „READY” de la modulul de verificare a stării circuitului **7**. Ieșirile  
modulului de memorare a stării **22** reprezintă semnalele binare afișate cu ajutorul LED-urilor  
27 **26**, care reprezintă tocmai soluția problemei „subset-sum” sub forma selecției elementelor  
mulțimii care, adunate, dau valoarea sum, în cazul în care există cel puțin o soluție.

29 La apăsarea butonului de master reset **27** se repornește calculul care are ca rezultat  
afișarea la nivelul LED-urilor **26** a soluției problemei dacă cel puțin o soluție există. Dacă nu  
31 este găsită nicio soluție, atunci execuția se termină prin aprinderea LED-ului pentru suma  
necalculabilă **12**.

# RO 128328 B1

## Revendicare

	1
Dispozitiv electronic pentru rezolvarea problemei NP-complete "subset-sum" și identificarea părților sumei care conțin un modul sistem cascadă (21) compus din niște regiștri de deplasare (19) și niște porți logice SAU, caracterizat prin aceea că mai conține:	3
- un modul de calcul al sumei parțiale (1), compus din niște componente de adunare cascade (2), niște componente de diferență (3) și niște componente de tip buffer comandat (4), ce are ca semnale de intrare elementele mulțimii în format binar, valoarea sum (5) sub forma unei constante în format hexazecimal și semnale binare de selecție a elementelor mulțimii care se sumează, iar ca ieșire diferența dintre valoarea sum (5) și valoarea sumei parțiale la un moment dat;	5
- un modul de verificare a stării circuitului (7) compus din niște blocuri comparatoare (8), un bistabil de tip D (9), două porți logice de tip ȘI (11) și o poartă inversoare (10) care are ca semnale de intrare ieșirea modulului de calcul al sumei parțiale (1) și ieșirea numărătorului binar (6), iar ca semnale de ieșire LED-ul (13) aprins, calcul terminat dacă s-a găsit o soluție, LED-ul (12) aprins, sumă necalculabilă, nicio soluție;	7
- un modul de memorare a stării (22) compus din niște bistabili de tip D (24 și 25) și niște porți logice de tip ȘI și SAU care are ca semnale de intrare semnalul READY de la modul de verificare a stării circuitului (7), stările modulului cascadă (21), iar ca ieșire LED-urile (26) aprinse, elementele mulțimii care, adunate, dau valoarea sum (5), dacă există cel puțin o soluție.	9
	11
	13
	15
	17
	19
	21

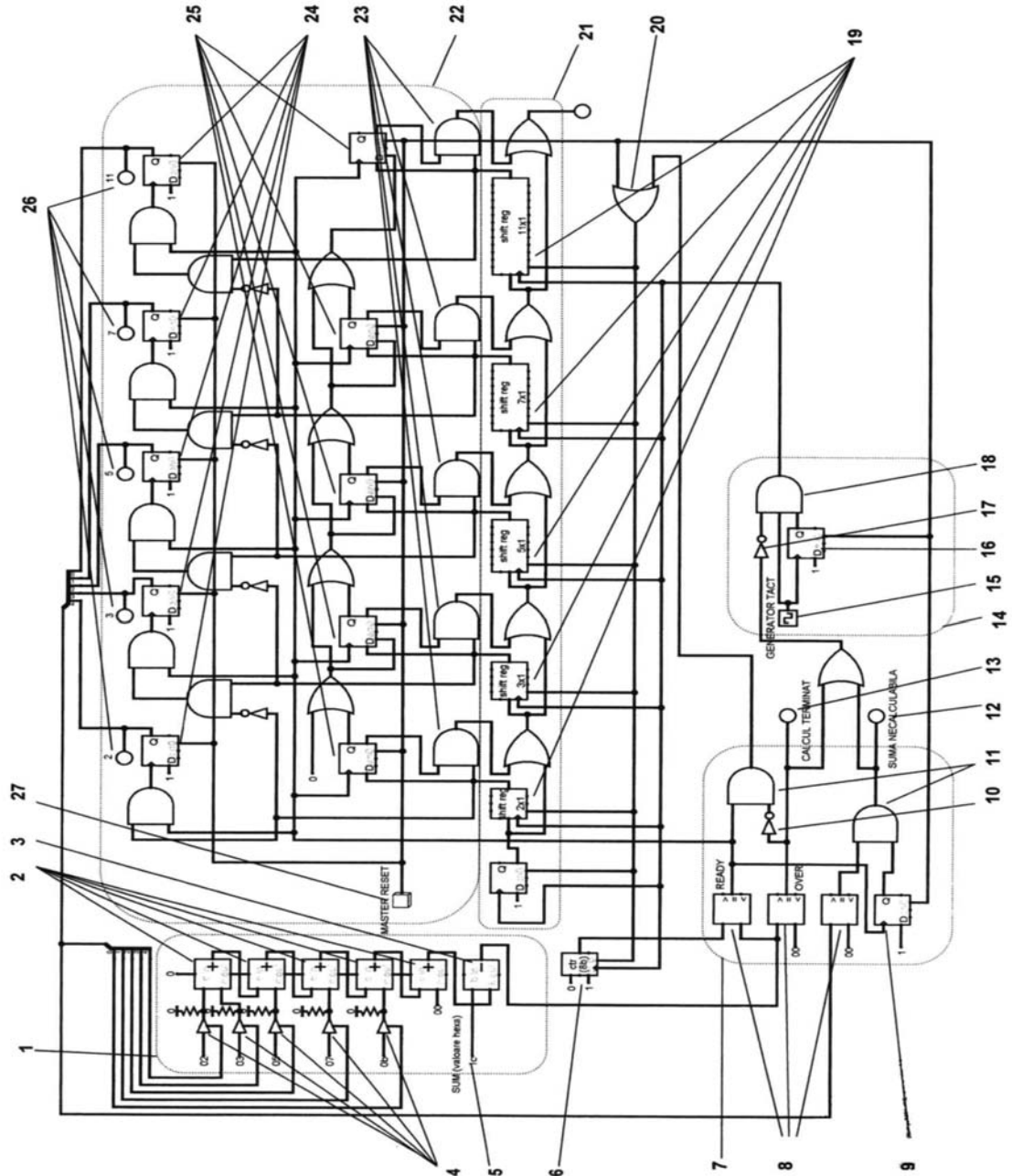
# RO 128328 B1

(51) Int.Cl.

G06F 17/10 (2006.01),

G06Q 10/00 (2006.01),

G11C 19/00 (2006.01)



Editare și tehnoredactare computerizată - OSIM  
Tipărit la Oficiul de Stat pentru Invenții și Mărci  
sub comanda nr. 523/2018